

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年2月17日 (17.02.2005)

PCT

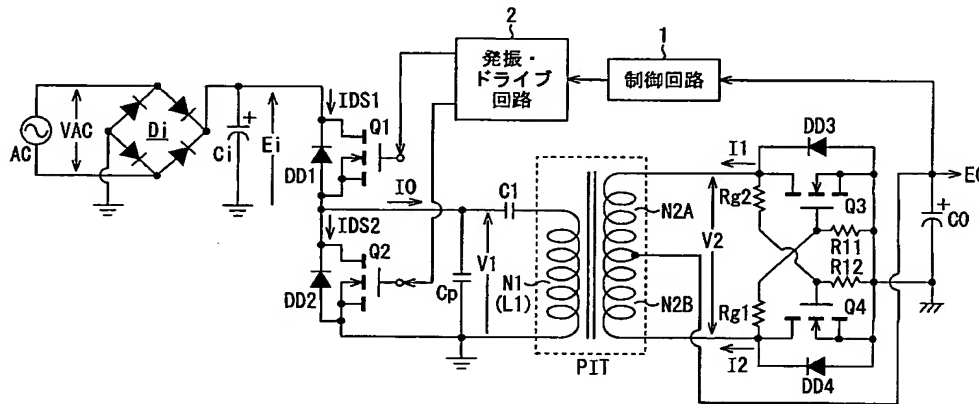
(10) 国際公開番号
WO 2005/015724 A1

- (51) 国際特許分類: H02M 3/28
- (21) 国際出願番号: PCT/JP2004/011561
- (22) 国際出願日: 2004年8月5日 (05.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-287887 2003年8月6日 (06.08.2003) JP
特願2003-319754 2003年9月11日 (11.09.2003) JP
特願2004-171499 2004年6月9日 (09.06.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 安村 昌之 (YASUMURA, Masayuki) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー・ヒューマンキャピタル株式会社内 Tokyo (JP).
- (74) 代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒1600023 東京都新宿区西新宿7丁目11番18号 711ビルディング4階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: SWITCHING POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチング電源回路



2...OSCILLATOR/DRIVER CIRCUIT

1...CONTROL CIRCUIT

(57) Abstract: A complex resonance type converter having a sync rectifier circuit exhibits a high power conversion efficiency, while having a reduced circuit scale because of its simplified circuit arrangement and being able to be manufactured at a low cost. In order to realize such a complex resonance type converter, a sync rectifier circuit of a winding voltage detection system is provided on the secondary side of the complex resonance type converter; the gap length of an insulating converter transformer (PIT) is set to the order of 1.5 mm; the coupling coefficient thereof is set to as small as the order of 0.8; and the turns number of a primary winding (N1) and those of secondary windings (N2A, N2B) are set such that the induced-voltage level per turn (T) of the secondary windings will be 2V/T. As a result, the magnetic flux density of the core of the insulating converter transformer (PIT) is below a predetermined value, so that the rectified current on the secondary winding side can be placed in a continuous mode even under a heavy-load condition.

(57) 要約: 同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立を図るため、複合共振形コンバータの二次側に巻線電圧検出方式の同期整流回路を備え、そして、絶縁コンバータトランスPITのギャップ長を1.5mm程度として結合係数を0.8程度にまで低下させると共に、二次巻線の1ターン(T)あたりの誘起電圧レベルが2V/Tとなるように一次巻線N1、二次巻線N2A、N2Bのターン数を設定する。これにより、絶縁コンバータトランスPITのコアの磁束密度が一定以下となることで、重負荷の条件でも二次側整流電流を連続モードとすることができる。



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

スイッチング電源回路

技術分野

- 5 本発明は、各種電子機器に電源として備えられるスイッチング電源回路に関するものである。

背景技術

- 10 スwitchング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、電力変換効率の向上にも限界があることがわかっている。

- 15 そこで、共振形コンバータによるスイッチング電源回路が各種提案され（例えば、特開平11-332233号公報参照）、実用化されている。共振形コンバータは容易に高電力変換効率を得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数により構成することができるというメリットも有している。

- 20 図24の回路図は、従来としての、共振形コンバータを備えるスイッチング電源回路の一例を示している。この図に示す電源回路は、他励式による電流共振形コンバータに対して部分電圧共振回路が組み合わされている。

- 25 この図に示す電源回路においては、まず、商用交流電源ACに対して、ブリッジ整流回路Di及び1本の平滑コンデンサCiから成る全波整流平滑回路が備えられる。そして、これらブリッジ整流回路Di及び平滑コンデンサCiの全波整流動作によって、平滑コンデンサCiの両端には整流平滑電圧Ei（直流入力電圧）が得られることになる。この整流平滑電圧Eiは、交流入力電圧VACの等倍に対応したレベルとなる。

上記直流入力電圧を入力してスイッチングする電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレイン-ソース間に対しては、図示する方向により、それぞれボディダイオードによるダンパーダイオードDD1、DD2が並列に接続される。

また、スイッチング素子Q2のドレイン-ソース間に対しては、部分共振コンデンサC_pが並列に接続される。この部分共振コンデンサC_pのキャパシタンスと一次巻線N1のリーケージインダクタンスL₁によっては並列共振回路(部分電圧共振回路)を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、例えば汎用のICによる発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路を有している。そして、発振回路及び駆動回路によって、所要の周波数によるドライブ信号(ゲート電圧)をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン/オフするようにしてスイッチング動作を行う。

絶縁コンバータトランスPITはスイッチング素子Q1、Q2のスイッチング出力を二次側に伝送する。この絶縁トランスPITの一次巻線N1の一端は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点(スイッチング出力点)に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線N1の他端は、一次側アースに接続される。

ここで、上記直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバータトランスPITのリーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（ $L1-C1$ ）による電流共振形としての動作と、前述した部分電圧共振回路（ $Cp//L1$ ）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた形式を採っていることになる。本明細書では、このようなスイッチングコンバータについて、複
5 合共振形コンバータということにする。

ここでの図示による説明は省略するが、絶縁コンバータトランス P I T の構造としては、例えばフェライト材による E 型コアを組み合わせた E E 型コアを備え
10 る。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線 N1 と、次に説明する二次巻線（N2A, N2B）を、E E 型コアの中央磁脚に対して、巻装している。

絶縁コンバータトランス P I T の二次巻線としては、センタータップが施されたことで 2 つに分割された二次巻線 N2A, N2B が巻装されている。これらの二次
15 巻線 N2A, N2B には、一次巻線 N1 に伝達されたスイッチング出力に応じた交番電圧が励起される。

この場合、上記二次巻線 N2A, N2B のセンタータップは二次側アースに対して接続される。そして、この二次巻線 N2A, N2B に対して、図示するようにして整流ダイオード D01, D02、及び平滑コンデンサ C0 から成る全波整流回路を接続す
20 る。これにより、平滑コンデンサ C0 の両端電圧として二次側直流出力電圧 E0 が得られる。この二次側直流出力電圧 E0 は、図示しない負荷側に供給されるとともに、次に説明する制御回路 1 のための検出電圧としても分岐して入力される。

制御回路 1 は、二次側直流出力電圧 E0 のレベル変化に応じた検出出力を発振・ドライブ回路 2 に供給する。発振・ドライブ回路 2 では、入力された制御回路 1
25 の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子 Q1, Q2 を駆動する。このようにしてスイッチング素子 Q1, Q2 のスイッチ

ング周波数が可変されることで、二次側直流出力電圧のレベルが安定化されることになる。

この図に示す回路構成による電源回路として、低電圧大電流としての負荷条件に対応させた場合の動作波形を、図 2 5 に示す。図 2 5 に示す動作波形は、交流
5 入力電圧 $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 125\text{ W}$ の条件で測定を行って得られたものである。また、ここでの低電圧大電流の状態としては、二次側直流電圧 $E_o = 5\text{ V}$ で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流 $I_o = 25\text{ A}$ となる状態である。

また、図 2 5 に示す動作波形による実験結果を得るのにあたっては、次のよう
10 な条件と、電源回路における部品素子等の選定を行っている。

まず、二次側巻線の 1 T (ターン) あたりの誘起電圧レベルが、 5 V/T となるようにして、二次巻線 N_{2A} 、 N_{2B} 及び一次巻線 N_1 のターン数を設定することとして、具体的には、二次巻線 $N_{2A} = N_{2B} = 1\text{ T}$ 、一次巻線 $N_1 = 30\text{ T}$ としている。

そして、絶縁コンバータトランス P I T の E E 型コアの中央磁脚に対しては 1.
15 0mm 程度のギャップを形成するようにしている。これによって、一次巻線 N_1 と二次巻線 N_{2A} 、 N_{2B} とで、0.85 程度の結合係数を得るようにしている。

また、一次側直列共振コンデンサ $C_1 = 0.068\text{ }\mu\text{ F}$ 、部分電圧共振コンデンサ $C_p = 330\text{ p F}$ を選定し、整流ダイオード D_{o1} 、 D_{o2} には、 $50\text{ A}/40\text{ V}$ のショットキーダイオードを選定している。

20 図 2 5 に示す波形図において、スイッチング素子 Q_2 の両端電圧 V_1 は、スイッチング素子 Q_2 のオン/オフ状態に対応している。つまり、スイッチング素子 Q_2 がオンとなる期間 T_2 では 0 レベルで、オフとなる期間 T_1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q_2 // ダンパーダイオード DD_2 に流れるスイッチング電流 I_{DS2} としては、期間 T_2 に示されるように、ター
25 ンオン時においては、ダンパーダイオード DD_2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q_2 のドレイン→ソースを流れ、期間 T_1 でオフとなって 0 レベルとなる波形が得られる。

また、スイッチング素子Q1は、上記スイッチング素子Q2に対して交互にオン／オフするようにしてスイッチングを行う。このため、スイッチング素子Q1//ダンパーダイオードDD1に流れるスイッチング電流 I_{DS1} は、スイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となっている。

5 そして、スイッチング素子Q1, Q2のスイッチング出力点と一次側アース間に接続される一次側直列共振回路($C1-L1$)に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} との合成波形に対応する、一次側直列共振回路($C1-L1$)の共振電流としての正弦波成分と、一次巻線N1の励磁インダクタンスにより発生する鋸歯状波成分とが合成された波形となる。

10 そして、このときの測定条件である、負荷電力 $P_o = 125\text{ W}$ は、図24に示す電源回路が対応する負荷条件としては、最大に近い重負荷の条件となるのであるが、このようにして対応負荷電力範囲において重負荷の傾向となる条件では、二次側の整流電流は不連続モードとなる。

つまり、二次巻線N2Aに発生する二次巻線電圧 V_2 は、図25に示すようにして、
15 一次側直列共振電流 I_o が正弦波状で流れる期間のみ、所定の絶対値レベルでクランプされる波形が生じ、その間の一次側直列共振電流 I_o として励磁インダクタンスによる鋸歯状波成分が流れる期間は0レベルとなる。二次巻線N2Bには、二次巻線電圧 V_2 を反転させた波形が発生する。

このために、整流ダイオード D_{o1} を流れる整流電流 I_1 と、整流ダイオード D_o
20 2を流れる整流電流 I_2 は、それぞれ、一次側直列共振電流 I_o が正弦波状で流れる期間 D_{ON1} 、 D_{ON2} においてのみ流れ、これ以外の期間においては共に流れない。
つまり、二次側の整流電流は不連続で平滑コンデンサに流入している。

ショットキーダイオードである整流ダイオード D_{o1} 、 D_{o2} の順方向電圧降下は
0.6 Vであり、上記したような二次側の動作では、図示もしているように、整
25 流電流 I_1 、 I_2 は 3.5 A_p という相応に高いレベルとなるので、これらの整流ダイオード素子による導通損が顕著となって電力損失が大きくなる。実際の測定結

果として、直流入力電圧（整流平滑電圧 E_i ） = 130 V のときの DC→DC 電力変換効率は 86 % 程度にとどまる。

そこで、二次側における整流電流の導通損を低減する技術として、低オン抵抗の MOS-FET により整流を行うようにした、同期整流回路が知られている。

5 このような同期整流回路として、巻線電圧検出方式による構成を例を図 26 に示す。

10 なお、図 26 においては、絶縁コンバータトランス PIT の二次側の構成のみを示している。一次側の構成は、図 24 と同様であるものとする。また、定電圧制御方式としても、二次側直流出力電圧 E_o のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御するスイッチング周波数制御方式を採る。

また、この図 26 に示す二次側の構成を採る電源回路としても、図 24 の場合と同様の低電圧大電流（ $V_{AC} = 100$ V、負荷電力 $P_o = 125$ W、 $E_o = 5$ V、 $I_o = 25$ A）の条件に対応するものとされる。

15 この場合にも、二次巻線としては、同じ巻数の二次巻線 N2A、N2B の各一端はセンタータップにより接続されるが、このセンタータップ出力は、平滑コンデンサ C_o の正極端子に接続される。二次巻線 N2A の他端は、N チャネルの MOS-FET Q3 のドレイン→ソースを介して、二次側アース（平滑コンデンサ C_o の負極端子側）に接続される。同様にして、二次巻線 N2B の他端も、N チャネルの MOS-FET Q4 のドレイン→ソースを介して、二次側アース（平滑コンデンサ C_o の負極端子側）に接続される。つまり、この場合には、二次巻線 N2A、N2B の各整流電流経路において、MOS-FET Q3、Q4 を負極側に直列に挿入した構造となっている。なお、MOS-FET Q3、Q4 のドレイン→ソースに対しては、それぞれ、ボディダイオード DD3、DD4 が接続される。

25 そして、MOS-FET Q3 を駆動する駆動回路は、二次巻線 N2B と MOS-FET Q4 のドレインとの接続点と MOS-FET Q3 のゲートの間に、ゲート抵抗

R_{g1}を接続すると共に、MOS-FET Q₃のゲートと二次側アースとの間に抵抗 R₁₁を接続して形成される。

同様に、MOS-FET Q₄を駆動する駆動回路は、二次巻線 N_{2A}と MOS-FET Q₃のドレインとの接続点と MOS-FET Q₄のゲートの間に、ゲート抵抗 R_{g2}を接続すると共に、MOS-FET Q₄のゲートと二次側アースとの間に抵抗 R₁₂を接続して形成される。

MOS-FETは、ゲートにオン電圧を印加すると、ドレイン-ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとするれば、平滑コンデンサ C_oの正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサ C_oから絶縁コンバータトランス P I T 側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流による MOS-FET の発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサ C_oの正極端子に充電する方向（つまり、ドレイン→ソース方向）にのみ電流が流れるように、MOS-FET Q₃, Q₄をスイッチング駆動するための回路である。

図 2 7 の波形図は、上記図 2 6 に示す二次側の構成を採る電源回路（一次側は図 2 4 と同様）として、負荷電力 P_o = 1 2 5 W 時の動作を示している。前述もしたように、この場合における負荷電力 P_o = 1 2 5 W は、ほぼ最大負荷の条件となる。

この図において、スイッチング素子 Q₂の両端電圧 V₁と、これに応じた二次巻線 N_{2A}-N_{2B}の両端に得られる二次巻線電圧 V₂は、図 2 4 と同様のタイミングとなっているものである。なお、図 2 7 に示す二次巻線電圧 V₂は、二次巻線 N_{2A}とゲート抵抗 R_{g2}との接続点側からみた場合の極性となっており、二次巻線 N_{2B}とゲート抵抗 R_{g1}との接続点側からみた場合には逆極性となる。

MOS-FET Q4の駆動回路は、この図に示す極性の二次巻線電圧V2が負極性の所定レベルでクランプされる期間に至ると、MOS-FET Q4のゲートに対して、ゲート抵抗 R_{g2} と抵抗 R_{12} とにより設定されるレベルのオン電圧を印加するように動作することになる。

- 5 同様にして、MOS-FET Q3の駆動回路（ゲート抵抗 R_{g1} 、抵抗 R_{11} ）は、この図とは反転した極性の二次巻線電圧（V2）が負極性の所定レベルでクランプされる期間に至ると、MOS-FET Q3のゲートに対してオン電圧を印加するように動作することになる。

- これにより、MOS-FET Q3、Q4には、それぞれ、図示するようにして、
10 期間DON1、DON2において、正極性の整流電流 I_1 、 I_2 が流れる。この整流電流 I_1 、 I_2 は、図24の回路の場合（図25の波形図の整流電流 I_1 、 I_2 ）と同様に、 $35A_p$ である。しかしながら、MOS-FET Q3、Q4は低オン抵抗であり、ショットキーダイオードによる整流ダイオード D_{o1} 、 D_{o2} と比較すれば、整流電流の導通損は著しく低いものとすることができる。また、駆動回路が抵抗素子の
15 みから成ることからも理解されるように、巻線電圧検出方式は、駆動回路系が簡単な構成であることもメリットとなっている。

- しかしながら、この図27に対応する場合のような重負荷（負荷電力 $P_o = 125W$ ）とされる条件では、この電源回路も二次側整流電流は不連続モードとなる。これは、図27においても期間DON1、DON2が不連続であることにより示さ
20 れている。

- この不連続モードでは、整流電流 I_1 、 I_2 として、平滑コンデンサ C_o への充電電流が0レベルになったとしても、絶縁コンバータトランスPITの一次巻線N1には同じ方向に電流が流れている。これは、先の図25の波形図において、期間DON1、DON2以外の期間において、一次側直列共振電流 I_o として、一次巻線
25 N1の励磁インダクタンスによる鋸歯状波の電流成分がその直前タイミングと同じ極性で流れていることを指している。このために、実際としては、二次巻線N2A、N2Bに誘起される電圧の極性が反転しないために、その間、MOS-FET Q

3、Q4は完全にオフにならずにオン状態を維持する。これにより、図示するようにして、期間D ON1, D ON2以外では、整流電流 I 1, I 2として逆方向の電流が流れてしまう。この期間D ON1, D ON2以外における逆方向の整流電流 I 1, I 2は、無効電力を生じさせるが、このときの整流電流 I 1, I 2のレベルは、8 A pと比較的高いために、その無効電力量も相応に大きなものとなる。

このように、同期整流回路として巻線電圧検出方式を採用する場合、整流電流の導通損は低減されるものの、上記のようにして無効電力が発生するために、全体として電力変換効率の有効な向上は図ることが難しいというのが現状である。

図 2 8 の波形図は、図 2 6 に示した二次側の構成を採用する電源回路についての軽負荷とされる条件での動作を示している。

図 2 6 に示す電源回路の実際としても、先に図 2 4 に示す電源回路の構成として説明したようにスイッチング周波数制御による定電圧制御を行うが、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

そして、このような軽負荷の状態では、図 2 8 に示すようにして、スイッチング素子 Q2 の両端電圧 V1 に対して、二次側巻線電圧 V2 はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流 I 1, I 2 としては、期間 D ON1, D ON2 との間に休止期間が無く平滑コンデンサ C o に連続して充電されるようにして流れる。つまり、連続モードとなる。このときには、上記図 2 7 の重負荷時の動作として示したような逆方向の整流電流 I 1, I 2 が流れる期間は存在しなくなっており、これに応じた無効電力も生じていない。

このように、二次側整流回路系を巻線電圧検出方式による同期整流回路に置き換えた構成の電源回路も、重負荷時における電力変換効率の低下が依然として問題となる。

そこで、上記図 2 7 に示されるような、逆方向の整流電流による無効電力の発生の問題を解消する技術としては、整流電流検出方式による同期整流回路が知ら

れている。この整流電流検出方式は、平滑コンデンサ C_o に充電される整流電流が0レベルになる前にMOS-FETをオフさせる技術である。

この整流電流検出方式による同期整流回路の構成例を、図29に示す。なお、この図においては、説明を簡単なものとするために、半波整流による構成を示している。

整流電流検出方式としては、二次巻線 N_2 に流れる電流を検出するためにカレントトランス TR を設ける。カレントトランスの一次巻線 N_a は、二次巻線 N_2 の端部と、MOS-FET Q_4 のドレインと接続される。MOS-FET Q_4 のソースは、平滑コンデンサ C_o の負極端子に接続している。

10 カレントトランスの二次巻線 N_b に対しては、抵抗 R_a が並列に接続されるとともに、相互に順電圧方向が逆となるようにして、ダイオード D_a 、 D_b が並列に接続されて並列接続回路を形成する。また、この並列接続回路に対して、コンパレータ20が接続される。コンパレータ20の反転入力には、基準電圧 V_{ref} が入力される。なお、基準電圧 V_{ref} とコンパレータ20の反転入力との接続点には、上記並列接続回路においてダイオード D_a のアノードとダイオード D_b のカソードが接続されている側の端部と接続される。また、コンパレータ20の非反転入力には、上記並列接続回路においてダイオード D_a のカソードとダイオード D_b のアノードが接続されている側の端部が接続される。

この場合、コンパレータ20の出力は、バッファ21により増幅されてMOS-FET Q_4 のゲートに印加されるようになっている。

上記図29に示す構成による回路の動作を、図30に示す。

二次巻線 N_2 に誘起される電圧が、平滑コンデンサ C_o の両端電圧(E_o)よりも大きくなると、まず、MOS-FET Q_4 のボディダイオードのアノード→カソードの方向により、平滑コンデンサ C_o へ充電するようにして整流電流 I_d が流れ始める。この整流電流 I_d は、カレントトランスの一次巻線 N_a に流れるので、カレントトランスの二次巻線 N_b には、一次巻線 N_a に流れる整流電流 I_d に応じた電圧 V_{nb} が誘起される。コンパレータ20では、基準電圧 V_{ref} と電圧

V_{nb} とを比較して、電圧 V_{nb} が基準電圧 V_{ref} を越えると H レベルを出力する。この H レベルの出力がバッファ 21 からオン電圧として MOS-FET Q4 のゲートに対して印加され、MOS-FET Q4 をオンさせる。

これにより、整流電流 I_d が MOS-FET Q4 のドレイン→ソース方向により流れることになる。図 30 では、正極性により流れる整流電流 I_d として示されている。

そして時間経過に応じて整流電流 I_d のレベルが低下し、これに応じて、電圧 V_{nb} が基準電圧 V_{ref} よりも低くなると、コンパレータ 20 は出力を反転させる。この反転出力がバッファ 21 を介して出力されることで、MOS-FET Q4 のゲート容量を放電させて、MOS-FET Q4 をオフとする。なお、この時点で、残りの整流電流 I_d はボディダイオード DD4 を経由して短時間のうちに流れる。

このような動作とされることで、MOS-FET Q4 は、整流電流 I_d が 0 レベルとなる前のタイミングでオフされることになる。これにより、図 27 に示したように、整流電流が不連続となる期間において、MOS-FET に逆方向電流が流れることが無くなって無効電力が生じなくなり、その分の電力変換効率は高くなる。

例えば、図 24 に示した電源回路の二次側の構成を、上記図 29 に示した構成に基づく、全波整流の整流電流検出方式による同期整流回路とした場合の DC→DC 電力変換効率としては、先の図 25、図 27 などと同様の条件の下で測定したところ、90%程度にまで向上するという測定結果が得られた。

しかしながら、上記した整流電流検出方式の同期整流回路では、図 29 から分かるように、1つの MOS-FET に対応して、少なくとも 1組のカレントトランスと、このカレントトランスの出力により MOS-FET を駆動するための比較的複雑な駆動回路系が必要となる。これにより、回路構成が複雑になり、これが製造能率の低下、コストアップ、回路基板サイズの拡大などにつながるという不都合が生じることになる。

特に、図 2 4 に示した一次側のスイッチングコンバータの構成を基本として整流電流検出方式の同期整流回路を二次側に備えることとした場合、二次側には両波整流回路を構成する必要がある。従って、上記したカレントトランス及び駆動回路系は、MOS-FET Q3, Q4 ごとに対応して 2 組必要とされることになり、
5 上記した問題がさらに大きくなる。

このようにして、巻線電圧検出方式と整流電流検出方式とでは、巻線電圧検出方式のほうが、無効電力により電力変換効率の面で不利ではあるが、回路構成が簡略であるのに対して、整流電流検出方式のほうは、無効電力が生じないので電力変換効率の面では有利であるが、回路構成が複雑になる、というトレードオフ
10 の関係にある。

発明の開示

従って、同期整流回路を備える電源回路としては、できるだけ簡略な回路構成でありながら、かつ、無効電力による損失増加が解消されるような構成を採ること
15 が求められている、ということになる。

そこで本発明は上記した課題を考慮して、スイッチング電源回路として次のように構成することとした。

つまり、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング部と、上記スイッチング素子を
20 スwitching駆動する駆動部を備える。

また、スイッチング部のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスを備える。

また、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタ
25 ンス成分と、自己のキャパシタンスとによって上記スイッチング部の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、スイッチング部を形成するスイッチング素子

のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング部を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、上記絶縁コンバータトランスの二次巻線に誘起される交番電圧についての整流動作を行って二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路とを備える。

そして、上記同期整流回路としては、上記二次巻線の一方の端部と、上記二次側平滑コンデンサの負極端子との間に挿入される第1の電界効果トランジスタと、上記二次巻線の他方の端部と、上記二次側平滑コンデンサの負極端子との間に挿入される第2の電界効果トランジスタとを備える。

また、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えて成る。

その上で、上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定した、上記構成によるスイッチング電源回路としては、一次側スイッチングコンバータとしては、共振形コンバータに対して部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採り、二次側においては、巻線電圧検出方式による同期整流回路を備える。

そのうえで、絶縁コンバータトランスの磁束密度が所定以下となるようにして、負荷変動にかかわらず、二次側整流電流が常に連続モードとなるよ

うにしている。二次側整流電流が連続モードとなれば、巻線電圧検出方式による同期整流回路において問題となる、二次側整流電流の不連続期間において電界効果トランジスタに逆方向電流が流れることに依る無効電力は生じないことになる。

5 図面の簡単な説明

図1は、本発明における第1の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

図2は、第1の実施の形態としての絶縁コンバータトランスの構造例を示す図である。

10 図3は、図1に示す電源回路の重負荷時の動作を示す波形図である。

図4は、図1に示す電源回路の軽負荷時の動作を示す波形図である。

図5は、図1に示す電源回路の負荷変動に対する、スイッチング周波数、一次側直列共振電流レベル、AC→DC電力変換効率の特性を示す図である。

図6は、図1に示す電源回路を基として構成することのできる電源回路の構成
15 を例示した回路図である。

図7Aは、図6に示す電源回路における、絶縁コンバータトランスの構造例を示す図である。

図7Bは、図6に示す電源回路における、絶縁コンバータトランスの構造例を示す図である。

20 図8は、図6に示す電源回路の重負荷時の動作を示す波形図である。

図9は、図6に示す電源回路の軽負荷時の動作を示す波形図である。

図10は、図1に示す電源回路を基として構成することのできる電源回路の他の構成を例示した回路図である。

図11は、本発明における第2の実施の形態、及び第3の実施の形態としての
25 スwitchング電源回路において、絶縁コンバータトランスの二次巻線の線材として用いられるリッツ線の構造例を示す図である。

図 1 2 は、第 2 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

図 1 3 は、同じく、第 1 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

- 5 図 1 4 は、第 1 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の巻装状態について説明するための図である。

図 1 5 は、本発明における第 2、第 3、第 4 の実施の形態としてのスイッチング電源回路の構成として、図 6 の構成に基づいた場合の二次側の構成を示した回路図である。

- 10 図 1 6 は、本発明における第 2、第 3、第 4 の実施の形態としてのスイッチング電源回路の構成として、図 1 0 の構成に基づいた場合の二次側の構成を示した回路図である。

図 1 7 は、第 3 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

- 15 図 1 8 は、同じく、第 3 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

図 1 9 は、第 3 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の巻装状態について説明するための図である。

- 20 図 2 0 は、第 4 の実施の形態としてのスイッチング電源回路において、絶縁コンバータトランスの二次巻線の線材として用いられるフィルム状導体の構造例を示す図である。

図 2 1 は、第 4 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

- 25 図 2 2 は、同じく、第 4 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の構成例について説明するための図である。

図 2 3 は、第 4 の実施の形態としての電源回路が備える絶縁コンバータトランスの二次巻線の巻装状態について説明するための図である。

図 2 4 は、従来例としての電源回路の構成を示す回路図である。

図 2 5 は、図 2 4 に示す電源回路の重負荷時の動作を示す波形図である。

図 2 6 は、図 2 4 に示す電源回路として巻線電圧検出方式の同期整流回路を備えた場合の二次側の構成を示す回路図である。

5 図 2 7 は、図 2 6 に示す二次側の構成を採った場合の、重負荷時の動作を示す波形図である。

図 2 8 は、図 2 6 に示す二次側の構成を採った場合の、軽負荷時の動作を示す波形図である。

10 図 2 9 は、整流電流検出方式による同期整流回路の基本構成例を示す回路図である。

図 3 0 は、図 2 9 に示す同期整流回路の動作を示す波形図である。

発明を実施するための最良の形態

15 図 1 は、本発明を実施するための最良の形態（以下、実施の形態とする）のうちの、第 1 の実施の形態としてのスイッチング電源回路の構成例を示している。

この図に示す電源回路は、基本構成として、他励式によるハーフブリッジ結合方式による電流共振形コンバータに対して部分電圧共振回路が組み合わされた構成を採る。

20 この図に示す電源回路においては、商用交流電源 A C に対して、整流回路部 D i としてのブリッジ整流回路と、1 本の平滑コンデンサ C i とから成る全波整流平滑回路が接続される。この全波整流平滑回路が商用交流電源 A C を入力して全波整流動作を行うことによって、平滑コンデンサ C i の両端には整流平滑電圧 E i （直流入力電圧）が得られる。この場合の整流平滑電圧 E i は、交流入力電圧 V A C の等倍に対応したレベルとなる。

25 上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータとしては、図示するようにして、M O S - F E T による 2 本のスイッチング素子 Q 1, Q 2 をハーフブリッジ結合により接続したスイッチング回路を備える。スイ

スイッチング素子Q1, Q2の各ドレイン－ソース間に対しては、ダンパーダイオードDD1, DD2が並列に接続される。ダンパーダイオードDD1のアノード、カソードは、それぞれスイッチング素子Q1のソース、ドレインと接続される。同様に、ダンパーダイオードDD2のアノード、カソードは、それぞれスイッチング素子Q2のソース、ドレインと接続される。ダンパーダイオードDD1, DD2は、それぞれスイッチング素子Q1, Q2が備えるボディダイオードとされる。

また、スイッチング素子Q2のドレイン－ソース間に対しては、部分共振コンデンサC_pが並列に接続される。この部分共振コンデンサC_pのキャパシタンスと一次巻線N1のリーケージインダクタンスL₁によっては並列共振回路(部分電圧共振回路)を形成する。そして、スイッチング素子Q1, Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

この電源回路においては、スイッチング素子Q1, Q2をスイッチング駆動するために、発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路を有しており、例えば汎用のICを用いることができる。そして、この発振・ドライブ回路2内の発振回路及び駆動回路によって、所要の周波数によるドライブ信号(ゲート電圧)をスイッチング素子Q1, Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1, Q2は、所要のスイッチング周波数により交互にオン／オフするようにしてスイッチング動作を行う。

絶縁コンバータトランスPITは、スイッチング素子Q1、Q2のスイッチング出力を二次側に伝送するために設けられる。

この絶縁トランスPITの一次巻線N1の一方の端部は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点(スイッチング出力点)に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線N1の他方の端部は、一次側アースに接続される。

ここで、絶縁コンバータトランスPITは、後述する構造により、絶縁コンバータトランスPITの一次巻線N1に所要のリーケージインダクタンスL₁を生

じさせる。そして、直列共振コンデンサC1のキャパシタンスと、上記リーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

- 上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（L1-C1）による電流共振形としての動作と、前述した部分電圧共振回路（Cp//L1）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた、複合共振形コンバータとしての構成を採っている。

- 絶縁コンバータトランスPITの二次巻線には一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。この場合の二次巻線としては、センタータップが施されたことで2つに分割された二次巻線N2A、N2Bが設けられる。この場合、二次巻線N2A、N2Bは同じ所定のターン数を有する。そして、この二次巻線N2A、N2Bに対しては、整流用素子としてNチャネルのMOS-FET Q3、Q4を備える同期整流回路が備えられる。これらMOS-FET Q3、Q4は、例えば低耐圧のトレンチ構造のものを選定することで、低オン抵抗を得るようになされる。

- 二次巻線N2A、N2Bの各一方の端部を接続したセンタータップ出力は、平滑コンデンサC_oの正極端子に接続される。二次巻線N2Aの他方の端部は、MOS-FET Q3のドレイン→ソースを介して、二次側アース（平滑コンデンサC_oの負極端子側）に接続される。同様に、二次巻線N2Bの他方の端部も、MOS-FET Q4のドレイン→ソースを介して、二次側アース（平滑コンデンサC_oの負極端子側）に接続される。

- このような接続形態によれば、上記MOS-FET Q3は、二次巻線N2全体で一方の端部（二次巻線N2Aが形成される側）と平滑コンデンサC_oの負極端子の間に挿入され、MOS-FET Q4は二次巻線N2の他方の端部（二次巻線N2

Bが形成される側)と平滑コンデンサC_oの負極端子の間に挿入されているものとなる。

そして、このようにして挿入されたMOS-FET Q₃, Q₄としては、二次巻線N_{2A}、N_{2B}を含む各整流電流経路に対して直列に挿入されたものとなる。

5 なお、MOS-FET Q₃, Q₄のドレイン-ソースに対しては、それぞれ、ボディダイオードDD₃, DD₄が接続される。

そして、MOS-FET Q₃を駆動する駆動回路は、二次巻線N_{2B}とMOS-FET Q₄のドレインとの接続点とMOS-FET Q₃のゲートの間に、ゲート抵抗R_{g1}を接続すると共に、MOS-FET Q₃のゲートと二次側アースとの間に抵抗
10 R₁₁を接続して形成される。

同様に、MOS-FET Q₄を駆動する駆動回路は、二次巻線N_{2A}とMOS-FET Q₃のドレインとの接続点とMOS-FET Q₄のゲートの間に、ゲート抵抗R_{g2}を接続すると共に、MOS-FET Q₄のゲートと二次側アースとの間に抵抗R₁₂を接続して形成される。

15 MOS-FETは、ゲートにオン電圧を印加すると、ドレイン-ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとすれば、平滑コンデンサC_oの正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサC_oから絶縁コンバータトランスPIT側に放電電流が流れて、負荷側
20 に有効に電力を伝達することができなくなる。また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサC_oの正極端子に充電する方向（つまり、ドレイン→ソース方向）にのみ電流が流れるように、MOS-FET Q₃, Q₄をスイッチング駆動するための回路
25 である。つまり、この場合における同期整流回路の回路構成としては、巻線電圧検出方式により、整流電流に同期させてMOS-FET Q₃, Q₄をオン/オフ駆動する構成を採っているものである。

上記した回路構成による同期整流回路によつては、平滑コンデンサ C_o に対して両波整流により整流して得られる整流電流を充電する動作が得られ、これにより、平滑コンデンサ C_o の両端電圧として二次側直流出力電圧 E_o が得られる。

この二次側直流出力電圧 E_o は、図示しない負荷側に供給されるとともに、次に

5 説明する制御回路1のための検出電圧としても分岐して入力される。

制御回路1は、二次側直流出力電圧 E_o のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子Q1、Q2を駆動する。スイッチング素子Q1、Q2のスイッチング周波数
10 が可変されることで、絶縁コンバータトランスPITの一次巻線N1から二次巻線N2A、N2B側に伝送される電力が変化するが、これにより二次側直流出力電圧 E_o のレベルを安定化させるように動作する。

例えば重負荷の傾向となって二次側直流出力電圧 E_o が低下するのに応じては、上記スイッチング周波数を高くするように制御することで、二次側直流出力電圧
15 E_o を上昇させる。これに対して、軽負荷の傾向となって二次側直流出力電圧 E_o が上昇するのに応じては、上記スイッチング周波数を低くするように制御することで、二次側直流出力電圧 E_o を低下させる。

第1の実施の形態としては、この図に示す電源回路の回路構成の下で、低電圧、大電流とされる負荷条件に対応させることとしている。ここでの低電圧大電流の
20 状態としては、二次側直流電圧 $E_o=5\text{ V}$ で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流 $I_o=25\text{ A}$ となる状態であるとする。

このような条件を前提として、図1に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

まず、絶縁コンバータトランスPITについては、図2に示す構造を採ること
25 としている。

この図に示すように、絶縁コンバータトランスPITは、フェライト材によるE型コアCR1、CR2を互いの磁脚が対向するように組み合わせたEE型コアを備える。

そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビンBが備えられる。このボビンBの一方の巻装部に対して一次巻線N1を巻装する。また、他方の巻装部に対して二次巻線(N2A, N2B)を巻装する。このようにして一次側巻線及び二次側巻線が巻装されたボビンBを上記EE型コア(CR1, CR2)に取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異なる巻装領域により、EE型コアの中央磁脚に巻装される状態となる。このようにして絶縁コンバータトランスPIT全体としての構造が得られる。この場合のEE型コアのサイズは例えばEER-35としている。

EE型コアの中央磁脚に対しては、図のようにして、例えばギャップ長1.5mm程度のギャップGを形成するようにしている。これによって、結合係数kとしては、例えば $k = 0.8$ 以下による疎結合の状態を得るようにしている。つまり、従来例として図24に示した電源回路の絶縁コンバータトランスPITよりも、さらに疎結合の状態としているものである。なお、ギャップGは、E型コアCR1, CR2の中央磁脚を、2本の外磁脚よりも短くすることで形成することが出来る。

そのうえで、二次側巻線の1T(ターン)あたりの誘起電圧レベルとしても、図24に示した電源回路よりも低くなるように、一次巻線N1と二次巻線N2A, N2Bの巻線数(ターン数)を設定する。例えば、一次巻線 $N1 = 60T$ 、二次巻線 $N2A = N2B = 6T$ とすることで、二次側巻線の1T(ターン)あたりの誘起電圧レベルを、 $2V/T$ 以下としている。

このような絶縁コンバータトランスPIT及び一次巻線N1、二次巻線(N2A, N2B)の巻線数設定とすることで、絶縁コンバータトランスPITのコアにおけ

る磁束密度が低下して、図 2 4 に示す電源回路よりも、絶縁コンバータトランス P I T におけるリーケージインダクタンスは増加する。

また、一次側直列共振コンデンサ C 1 には、 $0.033\mu\text{F}$ を選定した。また、二次側の同期整流回路を形成する MOS - F E T Q 3, Q 4 については、 $30\text{A}/20\text{V}$ を選定しており、そのオン抵抗は $5\text{m}\Omega$ である。

このような構成による図 1 に示す電源回路の動作波形を、図 3 及び図 4 に示す。図 3 は、交流入力電圧 $V_{AC}=100\text{V}$ 、負荷電力 $P_o=125\text{W}$ のときの動作を示し、図 4 は、交流入力電圧 $V_{AC}=100\text{V}$ 、負荷電力 $P_o=25\text{W}$ 時の動作を示している。図 1 に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o=125\text{W}$ は重負荷とされる条件であり、負荷電力 $P_o=25\text{W}$ は軽負荷の条件となる。

図 3 に示す波形図において、スイッチング素子 Q 2 の両端電圧 V_1 は、スイッチング素子 Q 2 のオン／オフ状態に対応している。つまり、スイッチング素子 Q 2 がオンとなる期間 T 2 では 0 レベルで、オフとなる期間 T 1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q 2 // ダンパーダイオード D 2 に流れるスイッチング電流 I_{DS2} としては、期間 T 2 に示されるように、ターンオン時においては、ダンパーダイオード D 2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q 2 のドレイン→ソースを流れ、期間 T 1 でオフとなって 0 レベルとなる波形が得られる。

また、スイッチング素子 Q 1 は、上記スイッチング素子 Q 2 に対して交互にオン／オフするようにしてスイッチングを行う。このため、スイッチング素子 Q 1 // ダンパーダイオード D 1 に流れるスイッチング電流 I_{DS1} は、スイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となる。また、図示してはいないが、スイッチング素子 Q 1 の両端電圧としても、スイッチング素子 Q 2 の両端電圧 V_1 に対して 180° 位相がシフトした波形となる。

そして、スイッチング素子 Q 1, Q 2 のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 (C 1 - L 1) に流れる一次側直列共振電流 I_o は、

スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流 I_o は正弦波状となる。この波形を、図 24 に示した従来の電源回路の一次側直列共振電流 I_o の波形（図 25 参照）と比較すると、本実施の形態の一次側直列共振電流 I_o としては、一次巻線 N1 の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバータトランス P I T の結合係数をより疎結合な状態としたことで、一次巻線 N1 のリーケージインダクタンス L_1 が増加した分、相対的に一次巻線 N1 の励磁インダクタンスが小さくなったことに依る。

そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて、二次巻線 N2A-N2B の電圧 V_2 としては、一次側直列共振電流 I_o が正極性／負極性で反転するのに応じて同様に反転し、二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

ここで、図 25 に示す電圧 V_2 と比較して分かるように、この図 3 に示す電圧 V_2 は、0 レベルの区間を挟むことなく正／負で反転する波形となっていることが分かる。

そして、電圧検出方式による二次側の同期整流回路では、抵抗 $R_{g1}-R_{11}$ 、及び抵抗 $R_{g2}-R_{12}$ から成る各駆動回路により上記電圧 V_2 を検出し、それぞれ MOS-FET Q3, Q4 に対してオンレベルのゲート電圧を出力することになる。これにより、MOS-FET Q3, Q4 の各ゲートソース間に生じるゲートソース間電圧 V_{GS3} , V_{GS4} は、それぞれ、電圧 V_2 が正／負となるパルス期間に応じてオン電圧レベルを生じる。

MOS-FET Q3 は、ゲートソース間電圧 V_{GS3} が正極性で立ち上がる期間 DON1 においてオンとなって、整流電流 I_1 を平滑コンデンサ C_o に充電させる。同様に、MOS-FET Q4 は、ゲートソース間電圧 V_{GS4} が正極性で立ち上がる期間 DON2 においてオンとなって、整流電流 I_2 を平滑コンデンサ C_o に充電させる。

このことから、整流動作としては、二次巻線電圧 V_2 が正／負となる各期間で平滑コンデンサ C_o に対して充電する両波整流動作が得られていることがわかる。

そして、前述したように、二次巻線電圧 V_2 が0レベルとなる期間を挟むことなく正／負で反転するのに応じて、ゲートソース間電圧 V_{GS3} , V_{GS4} がそれぞれ
5 オン電圧として正極性となる期間も連続することになり、従って、平滑コンデンサ C_o に対する充電電流としての整流電流 I_1 , I_2 も連続して流れることになる。

つまり、本実施の形態としては、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 I_1 , I_2 としては30Apと
10 なっており、例えば従来の図25に示した整流電流 I_1 , I_2 よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランス
15 P I Tの結合係数を0.8程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の1ターンあたりの誘起電圧レベルが2V/T程度に低下するようにして一次巻線N1と二次巻線N2A, N2Bの巻数(ターン数)設定を行い、これにより、絶縁コンバータトランスP I Tのコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

20 従来でも述べたように、同期整流回路は、低オン抵抗で低耐圧のMOS-FETを整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採る場合、平滑コンデンサ C_o への充電電流が
25 0レベルとなってもMOS-FETがオン状態を維持して逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

- 5 これに対して本実施の形態では、重負荷時においても二次側整流電流を連続モードとしていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力が生じることはない。

- このことから本実施の形態としては、同期整流回路として電圧検出方式による構成を採ることで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしていながら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになる。
- 10

また、図4には、図3と同一部位についての軽負荷時（ $P_o = 25\text{W}$ 時）の動作が示されている。

- 図1に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧 E_o の安定化のために、スイッチング周波数制御による定電圧制御を行う。
- 15
- この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

- このような軽負荷の状態では、図示するスイッチング素子 Q_2 の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流 I_1 、 I_2 としては、期間 D_{ON1} 、 D_{ON2} との間に休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。つまり、連続モードとなる。
- 20

- 図5は、これまでに説明した構成による図1に示す電源回路と、従来例である図24の電源回路との比較として、負荷電力変動に対する、 $AC \rightarrow DC$ 電力変換効率（ $\eta_{AC \rightarrow DC}$ ）、一次側直列共振電流レベル I_o 、スイッチング周波数 f_s の特性を
- 25

示している。図 1 の電源回路の特性を実線で示し、図 2 4 の電源回路の特性を破線で示す。

図 5 によると、まず、スイッチング周波数としては、図 1 及び図 2 4 の回路とで共に、負荷電力の増加に応じて低くなるようにして変化しており、何れの回路
5 においても、スイッチング周波数制御による安定化動作が得られていることが示されている。

また、AC→DC電力変換効率 ($\eta_{AC \rightarrow DC}$) は、図 1 に示す回路のほうが図 2 4 に示す電源回路に対して、負荷電力 $P_o = 0\text{ W} \sim 125\text{ W}$ の範囲にわたって高くなっていることが分かる。図 2 4 に示す回路では、負荷電力 $P_o = 125\text{ W}$ 時には
10 $\eta_{AC \rightarrow DC} = 85.3\%$ 、 $P_o = 25\text{ W}$ 時には 77.5% であるのに対して、図 1 に示す電源回路では、負荷電力 $P_o = 125\text{ W}$ 時には $\eta_{AC \rightarrow DC} = 89.5\%$ 、 $P_o = 25\text{ W}$ 時には 90.5% である。つまり、AC→DC電力変換効率 ($\eta_{AC \rightarrow DC}$) として、負荷電力 $P_o = 125\text{ W}$ 時には 4.2% 向上し、負荷電力 $P_o = 25\text{ W}$ 時には 13% 向上している。また、これに応じた交流入力電力としては、負荷電
15 力 $P_o = 125\text{ W}$ 時には 6.9 W 低減し、負荷電力 $P_o = 25\text{ W}$ 時には 4.7 W 低減する。

このような電力変換効率の向上は、図 5 に示す一次側直列共振電流 I_o のレベルについて、図 1 に示す回路のほうが、図 2 4 に示す回路に対して、負荷電力 $P_o = 0\text{ W} \sim 125\text{ W}$ の範囲にわたって低減されていることによっても示されてい
20 る。

また、この図 5 に示される電力変換効率の特性は、図 2 4 に示す一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合と同等となるものである。しかしながら、先に説明したように、図 1 に示す電源回路では、同期整流回路の構成としては巻線電圧検出方式を採っていることで、回路構成は
25 より簡略なものとなっている。

続いて、次の図 6 には、図 1 に示した回路の構成を基本として、さらに重負荷の条件に対応するとした場合の構成例を示す。

なお、図6において、既に図1にて説明した部分については同一の符号を付して説明を省略する。

5 先ず、この図に示す電源回路においては、商用交流電源ACに対し、フィルタコンデンサCL、CL、及びコモンモードチョークコイルCMCによるノイズフィルタが形成されている。

そして、このようなノイズフィルタの後段に対して、この場合には整流ダイオードDA、整流ダイオードDBから成る整流回路部Diと、2本の平滑コンデンサCi1、平滑コンデンサCi2とから成る倍電圧整流回路が備えられる。この倍電圧整流回路によっては、平滑コンデンサCi1-Ci2の両端電圧として、交流入力電圧VACの2倍に対応したレベル整流平滑電圧Ei（直流入力電圧）が生成される。

ここで、上記もしているようにこの図に示される電源回路の場合は、図1に示した回路の場合よりも重負荷の条件に対応するものとされる。

より重負荷の条件とされ、比較的大きな負荷電流を必要とする条件となれば、
15 一次側スイッチングコンバータ側の回路に流れる電流レベルも増加することになる。そして、これによれば、スイッチング損失などが増加して電力変換効率が低下する。

そこで、図6の回路の場合では、直流入力電圧を生成する整流回路系について倍電圧整流回路とすることで、図1に示したような全波整流により交流入力電圧
20 VACの等倍に対応するレベルの整流平滑電圧Eiを供給する場合よりも、一次側スイッチングコンバータの回路内に流れる電流レベルを約1/2に低減可能としている。つまりこれによって、一次側スイッチングコンバータによるスイッチング損失が低減されるようにしているものである。

上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータ
25 としては、この場合もMOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続したスイッチング回路を備える。

また、スイッチング素子Q2のドレイン→ソース間に対しては、この場合も部分共振コンデンサC_pを並列に接続している。さらに、スイッチング素子Q1、Q2をスイッチング駆動するための発振・ドライブ回路2を設ける。

- 5 また、この場合も絶縁コンバータトランスPITの一次巻線N1に対しては、直列に一次側直列共振コンデンサC1を接続し、これによって複合共振型コンバータとしての構成を採っている。

そして、この場合は、絶縁コンバータトランスPITの二次巻線として、図示するように二次巻線N2A、二次巻線N2B、二次巻線N2Cの3つの巻線を巻装するものとしている。

- 10 これら二次巻線N2A、N2B、N2Cは、それぞれセンタータップが施されたことで、それぞれ図のように2つの巻線部に分割されている。ここでは、二次巻線N2Aの巻き始め端部を含む巻線部を巻線部N2A1とし、巻き終わり端部を含む巻線部は巻線部N2A2としている。また、二次巻線N2Bの巻き始め端部を含む巻線部は巻線部N2B1、巻き終わり端部を含む巻線部は巻線部N2B2とする。さらに、
15 二次巻線N2Cの巻き始め端部を含む巻線部は巻線部N2C1、巻き終わり端部を含む巻線部は巻線部N2C2とする。

このような二次巻線N2A、N2B、N2Cにおいて、上記巻線部N2A1、N2A2、N2B1、N2B2、N2C1、N2C2は、それぞれ同じ所定のターン数を有する。

- そして、これら二次巻線N2A、N2B、N2Cに対し、MOS-FETQ3、Q4
20 による同期整流回路を備える。

この場合、上記二次巻線N2A、N2B、N2Cの各センタータップ出力は、平滑コンデンサC_oの正極端子に接続される。

- そして、二次巻線N2A、N2B、N2Cの各巻き終わり端部は、この場合はインダクタL_{d1}と、MOS-FETQ3のドレイン→ソースを介して、二次側アース(平
25 滑コンデンサC_oの負極端子側)に接続される。

また、二次巻線N 2 A、N 2 B、N 2 Cの各巻き始め端部は、インダクタL d2と、MOS-FET Q4のドレイン→ソースを介して、二次側アース（平滑コンデンサC oの負極端子側）に接続される。

このような接続形態によれば、MOS-FET Q3とMOS-FET Q4は、それぞれ各二次巻線N 2 A、N 2 B、N 2 Cの一方の端部と平滑コンデンサC oの負極端子との間、各二次巻線N 2 A、N 2 B、N 2 Cの他方の端部と平滑コンデンサC oの負極端子との間に挿入されているものとなる。

そして、これによると二次巻線N 2 A、N 2 B、N 2 Cの巻線部N 2 A1、巻線部N 2 B1、N 2 C1を含む整流電流経路においては、MOS-FET Q4が直列に挿入される。また、巻線部N 2 A2、巻線部N 2 B2、N 2 C2を含む整流電流経路においては、MOS-FET Q3が直列に挿入される。

また、この際、上記巻線部N 2 A1、N 2 B1、N 2 C1を含む整流電流経路においては、二次巻線N 2 A、N 2 B、N 2 Cの各巻き始め端部とMOS-FET Q4のドレインとの間に、インダクタL d2が直列に挿入されるものとなる。同様に、上記巻線部N 2 A2、N 2 B2、N 2 C2を含む整流電流経路においては、二次巻線N 2 A、N 2 B、N 2 Cの各巻き終わり端部とMOS-FET Q3のドレインとの間にインダクタL d1が直列に挿入される。

そして、MOS-FET Q3を駆動する駆動回路は、二次巻線N 2 A、N 2 B、N 2 Cの各巻き始め端部とMOS-FET Q3のゲートとの間に、ゲート抵抗R g1を接続して形成される。同様に、MOS-FET Q4を駆動する駆動回路は、二次巻線N 2 A、N 2 B、N 2 Cの巻き終わり端部とMOS-FET Q4のゲートとの間に、ゲート抵抗R g2を接続して形成される。

これにより、上記MOS-FET Q3は、それぞれ巻線部N 2 A1、巻線部N 2 B1、巻線部N 2 C1に励起される交番電圧が上記ゲート抵抗R g1により検出されて導通するようにされる。また、MOS-FET Q4は、巻線部N 2 A2、巻線部N 2 B2、巻線部N 2 C2に励起される交番電圧が上記ゲート抵抗R g2により検出されて導通するようにされている。

つまり、この場合も上記駆動回路は、平滑コンデンサ C_o の正極端子に充電する方向の電流のみが流れるように、MOS-FET Q_3 、 Q_4 をスイッチング駆動するようにされている。

このような構成による二次側の同期整流回路によっても、図1の場合と同様に
5 平滑コンデンサ C_o に対して両波整流により整流して得られる整流電流を充電する動作が得られる。

なお、この場合、MOS-FET Q_3 、MOS-FET Q_4 の駆動回路系を形成するとされるゲート抵抗 R_{g1} 、 R_{g2} に対しては、それぞれ並列にショットキーダイオード D_{g1} 、ショットキーダイオード D_{g2} を図示する方向により接続するように
10 にしている。これらショットキーダイオード D_{g1} 、 D_{g2} によっては、後述するようにMOS-FET Q_3 、 Q_4 のゲート入力容量の蓄積電荷を、これらのターンオフ時に放電するための経路が形成される。

また、この場合、MOS-FET Q_3 のゲートソース間に対しては、図のようにツェナーダイオード D_{z1} 、ツェナーダイオード D_{z2} を挿入し、同様にMOS-FET Q_4 のゲートソース間にはツェナーダイオード D_{z3} 、ツェナーダイオード
15 D_{z4} を挿入しているが、これらのツェナーダイオードによってはMOS-FET Q_3 、 Q_4 についての過電圧保護回路が形成される。

このようなツェナーダイオード D_z としては、ツェナー電位（ブレイクダウン電位）としてMOS-FET Q_3 、 Q_4 の耐圧レベルに応じた電位のもが選定される。
20 これにより、MOS-FET Q_3 、 Q_4 のゲートソース間電位が耐圧レベル以上に上昇するのに応じ、これらツェナーダイオード D_z が導通してMOS-FET Q_3 、 Q_4 を保護することができる。

例えば、この場合のツェナーダイオード D_z としては、ツェナー電位 $=\pm 20V$ のもが選定される。また、例えばこれらツェナーダイオード D_{z1} 、 D_{z2} 、及び
25 ツェナーダイオード D_{z3} 、 D_{z4} は、それぞれMOS-FET Q_3 、MOS-FET Q_4 に対して内蔵されるようにして備えられる。

また、上述もしたように、この図6に示す電源回路では、二次巻線N2A、N2B、N2Cの各巻き終わり端部—MOS—FETQ3のドレイン間に対し、インダクタLd1を挿入している。また、同様に二次巻線N2A、N2B、N2Cの各巻き始め端部—MOS—FETQ4のドレイン間に対しては、インダクタLd2を挿入している。

図6において、これらインダクタLd1、Ld2としては、例えば $1.0\mu\text{H}$ 以下の比較的低いインダクタンスを設定するものとしている。

なお、このように低いインダクタンスを得るにあたっては、上記インダクタLd1、Ld2として、例えばアモルファス磁性体若しくはフェライト材等の磁性体が筒形状に形成されたビーズコアを用いることが考えられる。例えば、このようなビーズコアを、MOS—FETQ3、Q4のドレイン電極端子としてのリード線を通通するようにして設ければ、上記インダクタLd1、Ld2としての部品をプリント基板上に実装するスペースを省略することが可能となる。

或いは、プリント基板における、MOS—FETQ3、Q4のドレイン電極に配線されるべき銅箔パターンを螺旋状に形成し、この螺旋形状により上記インダクタLd1、Ld2としての低インダクタンスを得ることも可能である。このようにすれば、プリント配線基板の製造と同時にインダクタLdを形成できるというメリットがある。

ここで、図6の回路としても、低電圧、大電流とされる負荷条件に対応させるものとしている。ここでの低電圧大電流の状態としては、二次側直流電圧 $E_o=5\text{V}$ で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流 $I_o=30\text{A}$ となる状態であるとする。

このような条件を前提として、図6に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

まず、絶縁コンバータトランスPITについては、図7に示す構造を採ることとしている。

図 7 において、図 7 A は、絶縁コンバータトランス P I T の断面図を示している。この図 7 A に示すように、この場合の絶縁コンバータトランス P I T としては、先の図 2 に示した構造に基づいた上で、二次側の巻装部に対しては二次巻線 N 2 A、N 2 B、N 2 C を巻装するようにされたものとなる。

- 5 その上で、この場合も E E 型コアの中央磁脚に対しては、例えばギャップ長 1.5mm 程度のギャップ G を形成するようにしている。これによって、結合係数 k としてこの場合も $k = 0.8$ 以下による疎結合の状態を得るようにしている。

また、図 7 B には、絶縁コンバータトランス P I T 内のボビン B に対して巻装される各巻線の断面を示している。

- 10 この図 7 B にも示されるように、上記ボビン B に対しては、一方の巻装部に対して一次巻線 N 1 が巻装される。この場合の一次巻線 N 1 としては、例えば 80 T のターン数によりガラ巻きで巻装される。

- また、ボビン B の他方の巻装部に対して巻装される二次巻線 N 2 A、N 2 B、N 2 C としては、図のように内側から外側にかけて、巻線部 N 2 A1 → N 2 A2 → N 2 B1 → N 2 B2 → N 2 C1 → N 2 C2 の順で所定ターン数ずつ巻装されるものとなる。
- 15

- この場合、これら二次巻線 N 2 の各巻線部の線材としては、例えば後の図 1 1 にも示すようなリッツ線 1 0 を選定するものとしている。つまり、図 1 1 に示されるリッツ線 1 0 として、例えばポリウレタン被膜等の絶縁被覆処理の施された銅線等による素線 1 0 a が、図のように複数本束ねられて撚り合わされたものを使用する。周知のように二次巻線の線材としてリッツ線を選定することによって、例えば高周波の整流電流が各二次巻線に流れる際に生じるとされる、いわゆる表皮効果を低減することができるメリットがある。

- そして、この場合は、図 7 B に示されるようにして、このようなリッツ線とされた巻線部 N 2 A1、N 2 A2、N 2 B1、N 2 B2、N 2 C1、N 2 C2 を、ボビン B の同軸に対してガラ巻きにより巻装するようにされている。
- 25

ここでは、 $N 2 A1 = N 2 A2 = N 2 B1 = N 2 B2 = N 2 C1 = N 2 C2 = 3 T$ (ターン) を施すものとしている。また、ここでは上記リッツ線として、例えば図 1 1 に示

される線径 $X = 0.1 \text{ m}\phi$ の素線 10a を、100 束撚り合わせたものを使用するものとしている。例えば、このようなリッツ線 10 としては、線径 $d = 1.0 \text{ m}\phi$ 、断面積 $s = 0.785 \text{ mm}^2$ 相当の仕様のものとなる。

図 6 に示す回路としても、上記した一次巻線 N1、二次巻線 (N2A, N2B、N2C) の巻線数の設定により、二次側巻線の 1 T (ターン) あたりの誘起電圧レベルとして、先の図 24 に示した電源回路よりも低くなるようにしている。つまり、上記のようにして一次巻線 $N1 = 80 \text{ T}$ 、二次巻線 $N2A = N2B = N2C = 6 \text{ T}$ (巻線部 $N2A1 = N2A2 = N2B1 = N2B2 = N2C1 = N2C2 = 3 \text{ T}$) とすることで、二次側巻線の 1 T (ターン) あたりの誘起電圧レベルを、例えば 2 V/T 以下に低下させている。

つまり、この場合としても、上述のようにしてギャップ長として 1.5 mm 程度により結合係数 $k = 0.8$ 以下による疎結合の状態を得ると共に、二次側巻線の 1 T (ターン) あたりの誘起電圧レベルを 2 V/T 以下に低下させ、磁束密度の低下を図っているものである。

図 8 及び図 9 には、このような図 6 の電源回路の動作波形を示す。図 8 は、交流入力電圧 $V_{AC} = 100 \text{ V}$ 、負荷電力 $P_o = 150 \text{ W}$ のときの動作を示し、図 9 は、交流入力電圧 $V_{AC} = 100 \text{ V}$ 、負荷電力 $P_o = 25 \text{ W}$ 時の動作を示している。図 6 に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o = 150 \text{ W}$ は重負荷とされる条件であり、負荷電力 $P_o = 25 \text{ W}$ は軽負荷の条件となる。

図 8 に示す波形図において、この場合もスイッチング素子 Q2 の両端電圧 V_1 はスイッチング素子 Q2 のオン/オフ状態に対応している。つまり、スイッチング素子 Q2 がオンとなる期間 T_2 では 0 レベルで、オフとなる期間 T_1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q2//ダンパーダイオード DD2 に流れるスイッチング電流 I_{DS2} としても、ターンオン時においてはダンパーダイオード DD2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q2 のドレイン→ソースを流れ、期間 T_1 でオフとなって 0 レベルとなる波形が得られる。

そして、この場合の一次側直列共振回路（ $C1-L1$ ）に流れる一次側直列共振電流 I_o としても、図示するようにして正弦波状となる。これは、図 6 の回路としても、絶縁コンバータトランス P I T の結合係数をより疎結合な状態としたことで、一次巻線 N1 のリーケージインダクタンス L_1 が増加した分、相対的に一次巻線 N1 の励磁インダクタンスが小さくなったことに依る。

そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて二次巻線 N2C の巻線部 N 2 C2 に得られる電圧 V2 としては、一次側直列共振電流 I_o の周期に応じた波形とされ、且つ二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

なお、この電圧 V2 としては、巻線部 N 2 C2 に得られる電位として示したが、二次巻線 N 2 B における巻線部 N 2 B2、二次巻線 N 2 A における巻線部 N 2 A2 においても同等の波形により電位が生じていることになる。またこの場合、巻線部 N 2 A1、巻線部 N 2 B1、巻線部 N 2 C1 においても、この電圧 V2 と同等の電位が生じるものである。

このような電圧 V2 は、一次側直列共振電流 I_o が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。つまり、この場合の電圧 V2 としては、ゼロクロスタイミングが一次側直列共振電流 I_o のゼロクロスタイミングと重なるようになっている（図中時点 t_1 、 t_2 、 t_3 参照）。

そして、電圧検出方式による二次側の同期整流回路では、抵抗 R_{g2} から成る駆動回路により上記電圧 V2（巻線部 N 2 A2、N 2 B2、N 2 C2 に生じる電圧）を検出し、MOS-FET Q4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V2 としては、図示するように時点 t_1 にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 t_2 にて 0 レベルとなるような波形とされている。MOS-FET Q4 のゲート-ソース間に生じるゲート-ソース間電圧 V_{GS4} は、この電圧 V2 が、Q4 のゲート-ソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_1 \sim t_{d1}$ ）に

において、オン電圧を発生させる。つまり、この期間 $t_1 \sim t_{d1}$ が、MOS-FET Q4 のオン期間 D_{ON2} となる。

そして、この期間 D_{ON2} が終了する時点 t_{d1} から時点 t_2 までは、MOS-FET Q4 のデットタイムであり、このデットタイムである期間 $t_{d1} \sim t_2$ では Q4 の
5 ボディダイオード DD4 を介して整流電流が流れる。このことは、図示するゲート
ソース間電圧 V_{GS4} における期間 $t_{d1} \sim t_2$ の電位によっても示されている。

これによって、MOS-FET Q4 を介して流される整流電流 I_4 としては、図示するように時点 $t_1 \sim t_2$ の期間にわたって流れるようになる。つまり、この
整流電流 I_4 としては、これら時点 t_1 、 t_2 において、一次側直列共振電流 I_o
10 と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

また、同様に抵抗 R_{g1} から成る駆動回路では、上記電圧 V_2 と同等とされる巻線部 N2A1、N2B1、N2C1 に生じる電圧を検出し、MOS-FET Q3 に対して
オンレベルのゲート電圧を出力するようにされる。

つまり、この場合、MOS-FET Q3 のゲートソース間に生じるゲートソース間電圧 V_{GS3} は、巻線部 N2A1、N2B1、N2C1 側に生じる電圧 V_2 がゲート
ソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間 $t_2 \sim t_{d2}$ ）において、オン電圧を発生させ、これによってこの期間 $t_2 \sim t_{d2}$
20 が MOS-FET Q3 のオン期間 D_{ON1} となる。

そして、同様にこの期間 D_{ON1} が終了する時点 t_{d2} から時点 t_3 までは、MOS-FET Q3 のデットタイムであり、この期間 $t_{d2} \sim t_3$ では Q3 のボディダイオード DD3 を介して整流電流が流れる。

これによって、MOS-FET Q3 を介して流れる整流電流 I_3 としても、図示するように一次側直列共振電流 I_o のゼロクロスタイミングである時点 t_2 と時点 t_3 との間にわたって流れるようになり、一次側直列共振電流 I_o と連続して流
25 れるものとなる。

平滑コンデンサへの充電電流 I_c としては、これら整流電流 I_3 、 I_4 が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 N_{2A} 、 N_{2B} 、 N_{2C} に生じる電圧が正／負となる各期間で平滑コンデンサ C_o に対して充電する、両波整流動作が得られていることがわかる。

- 5 そして、上記のようにして整流電流 I_3 、整流電流 I_4 は、一次側直列共振電流 I_o と連続して流れるものとなるから、平滑コンデンサ C_o に対する充電電流 I_c も連続して流れることになる。

- 10 これにより、図 6 の回路としても、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることが理解できる。

- 15 この場合においても重負荷の条件で連続モードが得られているのは、先の図 7 において説明したようにギャップ長の設定により絶縁コンバータトランス PIT の結合係数を 0.8 程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の 1 ターンあたりの誘起電圧レベルが $2V/T$ 程度に低下するようにして一次巻線 N_1 と、二次巻線 N_{2A} 、 N_{2B} 、 N_{2C} との巻数（ターン数）設定を行い、
20 これにより、絶縁コンバータトランス PIT のコアに生じる磁束密度を所要以下にまで低下させたことによる。

また、この図 8 において、この場合の整流電流 I_3 、 I_4 としては、逆方向電流が流されていないことがわかる。

- 20 つまり、従来において、整流電流には $8A_p$ 程度による逆方向電流が流れ、これが電力損失を生じさせていた。また、先の図 4 の結果からもわかるように、図 1 の回路においても、従来との比較ではこのような逆方向電流の抑制は図られるもののその完全な防止は図られていないが、図 6 の回路ではこのような整流電流に生じていた逆方向電流が発生しないものである。

- 25 この場合において、整流電流 I_3 、 I_4 にこのような逆方向電流が発生しないのは、図 6 に示したようにして各整流電流経路にインダクタ L_{d1} 、 L_{d2} を挿入するようにしたことによる。

つまり、このように整流電流経路に対してインダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOS-FET Q3、Q4のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、図6の回路ではこれらインダクタ L_{d1} 、 L_{d2} として1.0 μ H以下の低インダクタンスを設定し、これによって整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされる。

なお、この図8において、ゲートソース間電圧 V_{GS3} 、 V_{GS4} としては、それぞれMOS-FET Q3、Q4をターンオフとするタイミングで負の電位が生じているが、これは、先に説明したようにしてMOS-FET Q3、Q4の各ゲートと二次巻線との間に、それぞれ抵抗 R_{g1} 、 R_{g2} と並列にショットキーダイオード D_{g1} 、 D_{g2} を挿入していることによる。

このようにショットキーダイオード D_{g1} 、 D_{g2} を挿入することによって、MOS-FET Q3、Q4のターンオフ時に、これらMOS-FET Q3、Q4のゲート入力容量 (C_{iss}) の蓄積電荷を、これらショットキーダイオード D_{g1} 、 D_{g2} を介して引き抜くようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード D_g (D_{g1} 、 D_{g2}) \rightarrow 二次巻線 $N_2 \rightarrow$ 平滑コンデンサ C_o の経路により放電されることになる。そして、このように入力容量の電荷が放電されることにより、MOS-FET Q3、Q4におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FETのターンオフ時の電圧降下時間を減少させることができれば、これらMOS-FET Q3、Q4を確実にオフとさせてより良好なスイッチング特性を得ることができる。

また、図9には、図6に示す回路における軽負荷時 ($P_o = 25$ W時) の動作が示されているが、この場合も軽負荷時に対応してスイッチング周波数が高く制

御されている状態では、図示するスイッチング素子Q2の両端電圧V1に対して、二次側巻線電圧V2はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流I_c（整流電流I₃、I₄）としても、図のように休止期間が無く平滑コンデンサC_oに連続して充電されるようにして流れる。つまり、図6に示した電源回路としても、軽負荷時には連続モードとなることが理解できる。

このようにして図6に示したスイッチング電源回路としても、絶縁コンバータトランスPITを疎結合とし、二次巻線の1ターンあたりの誘起電圧レベルを低下させて磁束密度を所要以下にまで低下させたことによって、重負荷時においても連続モードとすることが可能とされる。

これによって、従来のように不連続モードとされたことで生じていた逆方向電流を低減して無効電力の低減を図ることができる。さらに、上記もしたように図6の回路の場合では、各整流電流経路に対してインダクタL_{d1}、L_{d2}を挿入するようにしたことにより、整流電流に逆方向電流が発生してしまうことが防止される。つまり、このようなインダクタL_{d1}、L_{d2}によってさらなる無効電力の低減が図られているものである。そして、このように無効電力が低減されれば、AC→DC電力変換効率の向上が図られる。

なお、実験によれば、図6の電源回路におけるAC→DC電力変換効率（ $\eta_{AC \rightarrow DC}$ ）としては、交流入力電圧V_{AC}=100V、負荷電力P_o=150W時において、 $\eta_{AC \rightarrow DC}$ =8.8%程度となる結果が得られた。

これは、従来例として先の図24に示した回路の $\eta_{AC \rightarrow DC}$ =8.2%程度（交流入力電圧V_{AC}=100V、負荷電力P_o=100W時）に対して、約6%向上しているものである。

また、このような図6の回路の電力変換効率の特性は、図24に示した一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合（図29参照）と同等となる。つまり、先にも述べたように、図29の整流電流検出方式を採用した場合のAC→DC電力変換効率は $\eta_{AC \rightarrow DC}$ =90%程度であるのに対

し、本例では $\eta_{AC \rightarrow DC} = 88\%$ と、およそ同等の $AC \rightarrow DC$ 電力変換効率が得られるものである。

しかしながら、図 6 に示す電源回路としても、同期整流回路の構成としては巻線電圧検出方式を採っていることで、回路構成はより簡略なものとする事ができる。

続いて、図 10 には、図 1 の回路の構成を基としてより重負荷の条件に対応するとした場合の、他の構成例を示す。

なお、図 10 においては、二次側の構成のみについて示し、一次側の構成は先の図 6 の場合と同等となることからここでの説明は省略する。また図 10 において、既に図 6 にて説明した部分についても同一の符号を付して説明を省略する。

図 10 に示される回路としても、絶縁コンバータトランス P I T の二次巻線としては、二次巻線 N 2 A、N 2 B、N 2 C の 3 つの巻線を巻装するものとしている。但しこの場合は、これら二次巻線 N 2 にセンタータップは施されず、また、図 6 の回路における各整流電流経路に挿入されるようにして設けられていたインダクタ L d1、L d2 は省略される。

図 10 に示す回路の場合、二次巻線 N 2 A、N 2 B、N 2 C の各巻き終わり端部は、MOS-FET Q3 のドレインと接続される。そして、この MOS-FET Q3 のドレインが、図示するインダクタ L o1 を介して平滑コンデンサ C o の正極端子と接続される。

また、二次巻線 N 2 A、N 2 B、N 2 C の各巻き始め端部としても、この場合は MOS-FET Q4 のドレインと接続された上で、MOS-FET Q4 のドレインがインダクタ L o2 を介して平滑コンデンサ C o の正極端子と接続される。

その上で、平滑コンデンサ C o の負極端子が、MOS-FET Q3 と MOS-FET Q4 の各ソースの接続点に対して接続され、さらにこの各ソースの接続点と平滑コンデンサ C o の負極端子の接続点に対して、二次側アースが接続されている。

このような接続形態により、この場合も MOS-FET Q3 と MOS-FET Q4 は、各二次巻線 N 2 A、N 2 B、N 2 C の一方の端部と平滑コンデンサ C o の負極端

子との間と、各二次巻線N2A、N2B、N2Cの他方の端部と平滑コンデンサC_oの負極端子との間に挿入されるものとなる。

ここで、上記のような二次側の同期整流回路の構成によると、二次側に励起される交番電圧の一方の半周期においては、MOS-FET Q3がオンとなるのに応じて、整流電流は、各二次巻線N2 (N2A、N2B、N2C) →インダクタL_{o2} →平滑コンデンサC_o →MOS-FET Q3 →各二次巻線N2の経路により流れる。また、この場合、整流電流は分岐して、MOS-FET Q3 →インダクタL_{o1} →平滑コンデンサC_oのループ経路によっても流れる。

また、MOS-FET Q3がオフとなって、MOS-FET Q4がオンとなる他方の半周期において、整流電流は、各二次巻線N2 →インダクタL_{o1} →平滑コンデンサC_o →MOS-FET Q4 →各二次巻線N2の経路により流れる。そしてこの場合も、整流電流は分岐して、MOS-FET Q4 →インダクタL_{o2} →平滑コンデンサC_oのループ経路によっても流れるものとなる。

このようにして、図10に示す回路の二次側の整流回路としては、二次巻線N2A、N2B、N2Cの交番電圧が一方の極性となる期間においては、MOS-FET Q3がオン駆動されて整流を行って平滑コンデンサC_oに充電し、二次巻線N2A、N2B、N2Cの交番電圧が他方の極性となる期間においては、MOS-FET Q4がオン駆動されて整流を行って平滑コンデンサC_oに充電する動作が得られていることが分かる。つまり、同期整流回路として、この場合も両波整流動作が得られていることが分かる。

また、上記した整流電流経路からも分かるように、二次側の整流電流は、二次巻線N2A、N2B、N2Cに励起される交番電圧が正極性/負極性となる期間の各々において、インダクタL_{o1}を含むループ経路と、インダクタL_{o2}を含むループ経路とに分岐して流れ、さらに、一方の経路においては、二次巻線N2A、N2B、N2Cに分岐して流れるようになっている。従って、二次巻線N2A、N2B、N2Cに流れる整流電流(二次巻線電流)の量は、平滑コンデンサC_oに充電電流として流れる整流電流量に対して所定割合分にまで低減されているものとなって

いる。つまり、図 10 に示す二次側の構成によっては、いわゆる倍電流整流回路としての動作が得られているものである。

また、この図 10 に示す回路においては、上記したように二次側整流電流経路に対して、インダクタ L_{o1} 、インダクタ L_{o2} を挿入するようにしている。

5 図 10 の回路に設けられるこれらインダクタ L_{o1} 、インダクタ L_{o2} としても、先の図 6 の場合に挿入されたインダクタ L_d と同様、 $1.0 \mu H$ 以下の低インダクタンスが設定される。このようなインダクタ L_{o1} 、インダクタ L_{o2} が設けられることにより、この場合も図 6 の回路におけるインダクタ L_{d1} 、 L_{d2} と同等の作用により、整流電流の逆方向電流を抑制する効果が得られる。

10 さらに、この場合は、これらインダクタ L_{o1} 、 L_{o2} を、それぞれ平滑コンデンサ C_o の正極端子に対して接続するようにしたことから、二次側直流出力電圧 E_o に生じるとされる高周波成分（リップル）を抑制することが可能となる。つまり、これらインダクタ L_{o1} 、 L_{o2} の有するインピーダンス成分（交流抵抗成分）によって、二次側直流出力電圧 E_o に重畳する高周波成分を低減させることがで
15 きるものである。

このような図 10 の回路としても、絶縁コンバータトランス PIT を疎結合とし、二次巻線の 1 ターンあたりの誘起電圧レベルを低下させて磁束密度を所要以下にまで低下させていることによって、重負荷時においても連続モードとすることが可能とされる。

20 そして、この場合としても、上記のようにして整流電流経路に対してインダクタ L_{o1} 、 L_{o2} を挿入したことにより、整流電流の逆方向電流を防止して、さらなる無効電力の低減を図ることが可能とされる。

ところで、これまでに説明してきた図 6、図 10 の電源回路においては、絶縁コンバータトランス PIT の二次側において、それぞれ並列に接続した複数の二
25 次巻線 N_2 を巻装するようにしている。

このように複数の二次巻線を並列に接続して巻装することによっては、先の図 1 に示した回路のように二次巻線 N_2 を 1 つのみ巻装とした場合よりも、二

次巻線N 2の無効電力を低減できるメリットがある。つまり、図1の回路と図6の回路との比較において、二次巻線N 2全体として同等の巻数を得るとした場合には、1つの二次巻線N 2により巻装する場合よりも、二次巻線N 2を並列に複数巻装した場合の方が各二次巻線N 2での直流抵抗値を低下させることができる
5 分、二次巻線N 2全体での無効電力を低減できるものである。

ここで、このような二次巻線N 2の無効電力の低減を図るにあたり、例えば図6に示した電源回路においては、先の図7Bにも示したようにこれら複数の二次巻線N 2を、絶縁コンバータトランスP I TのボビンBの巻装部の同軸に対し、巻線部N 2 A1→N 2 A2→N 2 B1→N 2 B2→N 2 C1→N 2 C2の順により、それぞれ
10 を同ターン数(3 T)によりガラ巻きで施すようにされている。

また、図示による説明は省略したが、図10に示した回路における二次巻線としても、ボビンBの巻装部の同軸に対し、二次巻線N 2 A→N 2 B→N 2 Cの順でそれぞれを同ターン数(この場合は6 T)によりガラ巻きで施すようにされる。

しかしながら、このようにして二次巻線N 2の各巻線部を、ボビンBの巻装部
15 の同軸に対して同ターン数ずつ巻装していくことによって、外側に巻装される巻線部ほど、内側に巻装される巻線部よりもその長さが長くなるようにされる。

つまり、二次巻線全体において、例えば図6の回路の場合では、二次巻線N 2 Aの巻き始め端部を含む巻線部N 2 A1はその長さが最も短くなるようにされ、以下に続く巻線部N 2 A2→N 2 B1→N 2 B2→N 2 C1→N 2 C2の順に従って、その長さ
20 がより多く必要とされるものである。

このようにして、外側に巻装される巻線ほどその長さが必要となることから、二次巻線においては、外側に巻装される巻線ほどその直流抵抗値が増大するものとなる。

実験によれば、図6の回路における各巻線部の直流抵抗値としては、巻線部N
25 2 A1=4.8 mΩ、巻線部N 2 A2=5.3 mΩ、巻線部N 2 B1=5.8 mΩ、巻線部N 2 B2=6.3 mΩ、巻線部N 2 C1=6.8 mΩ、巻線部N 2 C2=7.3 mΩであった。

そして、二次巻線N 2において、それぞれ並列の関係にある巻線部N 2 A1、N 2 B1、N 2 C1の組の合成直流抵抗値を R_{o1} とし、同じく並列関係にある巻線部N 2 A2、N 2 B2、N 2 C2の組による合成直流抵抗値を R_{o2} とすると、

5 合成直流抵抗値 R_{o1} は、 $1/R_{o1} = 1/4.8 + 1/5.8 + 1/6.8$ により、およそ $1.9\text{ m}\Omega$ 程度となる。

また、合成直流抵抗値 R_{o2} としては、 $1/R_{o2} = 1/5.3 + 1/6.3 + 1/7.3$ により、およそ $2.1\text{ m}\Omega$ 程度となる。

このような直流抵抗が生じていることで、絶縁コンバータトランスP I Tの二次巻線においては相応の電力損失が生じることになる。

10 例えばこの際の二次巻線における電力損失としては、先の図6の回路の低電圧、大電流の条件として二次巻線に 30 A の整流電流が流される場合、

$$30^2 \times (1.9 + 2.1) \times 10^{-3} / 2$$

により、 1.8 W 程度の損失が生じることとなる。

また、これに加え、図6、図10に示した構成によるスイッチング電源回路に
15 おいて、絶縁コンバータトランスP I Tの二次巻線には、一次側のスイッチング出力に応じた比較的高周波の整流電流が流れることになる。

このように二次巻線に高周波の電流が流されることによって、二次巻線の線材として用いられるリッツ線において、渦電流損が生じることがわかっている。さらに、このような渦電流損に伴って、各巻線部の発熱が増加することになる。

20 このような渦電流損を抑制するための手法の1つとしては、リッツ線を形成する素線1本あたりの線径を細くすることが知られている。つまり、リッツ線の各素線の線径を細くし、その分束数を増加させて対応するものである。

但し、このようにリッツ線として素線が細くその束数が多いものを使用することによっては、以下のようなことが問題となる。

25 先ず、二次巻線の各巻線部の、絶縁コンバータトランスP I Tへの実際の巻装としては、巻線部としてのリッツ線内部の素線の各々の被膜を剥がす等して内部の銅線を表出させた上で、これら銅線を束ねたものを例えば絶縁コンバータトラ

ンス P I T の対応するピン端子に巻き付けて半田付けするようにされるのが一般的とされている。先の図 6、10 の回路としても、このような手法により、各巻線部の絶縁コンバータトランス P I T への取り付けを行うものとされる。

5 しかしながら、このように素線を束ねた上でピン端子に巻き付けるといった場合において、上述のようにして素線を細くしてその束数を増加させてしまうと、ピン端子へのリッツ線の巻き付けもその分困難となってしまうものである。

10 例えば、先にも説明したように図 6、図 10 の回路では、リッツ線として素線 10 a の線径 $X = 0.1 \text{ mm} \phi / 100$ 束の仕様のものを用いるようにされていたが、これは、上記のような絶縁コンバータトランス P I T の製造上の問題を考慮してのものでもある。つまりこの場合、絶縁コンバータトランス P I T の製造にあたっては、上記のような素線の線径 $X = 0.1 \text{ mm} \phi / 100$ 束が、作業効率や経済性を考慮した上での限界とされ、これ以上線径の細い素線によるリッツ線を用いることは現実的に不可能に近いものとされていた。

15 そしてこのようなことから、図 6、図 10 に示した回路としては、素線 10 a の線径を細くして渦電流損の低減を図るといったことが著しく困難とされていたものである。

 そこで、本発明としては、第 2 の実施の形態として、これら図 6、図 10 に示した接続形態による回路を基本構成とした上で、絶縁コンバータトランス P I T の二次巻線（各巻線部）を以下に説明するようにして構成する。

20 なお、以下の図 11～図 14 においては、先の図 6 に示した二次巻線をセンタータップする構成を基とした場合における、絶縁コンバータトランス P I T の二次巻線の構成について示す。

 先ず、第 1 の実施の形態としても、絶縁コンバータトランス P I T の二次巻線の線材としては、図 11 に示すようなリッツ線を用いるものとしている。

25 この場合のリッツ線 10 としては、線径 $X = 0.06 \text{ mm} \phi$ の素線 10 a を 250 束撚り合わせたものを用いる。このような本実施の形態が用いるリッツ線 10

としては、例えば線径 $d = 0.95 \text{ mm}$ 、断面積 $s = 0.7065 \text{ mm}^2$ 相当の仕様のものとされる。

そして、次の図 12 に示すようにして、このようなリッツ線 10 の 4 本を 2 組用意し、一方の組の 4 本を図示するように長さ $Y1$ で統一し、他方の 4 本の組を、
5 この長さ $Y1$ よりも長い $Y2$ の長さで統一する。例えば、この場合の長さ $Y1$ 、 $Y2$ としては、ボビンサイズに対応させて $Y1 = 20 \text{ cm}$ 、 $Y2 = 22 \text{ cm}$ を設定する。

その上で、長さ $Y1$ により統一された 4 本のリッツ線 10 を、図示するように平行に並べて整列させた状態で、その両端に対してそれぞれ予備半田 11 を行う。
これによって、長さ $Y1$ による 4 本のリッツ線 10 を整列させた、第 1 リッツ線
10 帯 12 を形成する。

また、他方の長さ $Y2$ により統一された 4 本のリッツ線 10 としても、同様に平行に整列させた状態でその両端に対してそれぞれ予備半田 11 を行う。これにより、長さ $Y2$ のリッツ線 10 を 4 本整列させた第 2 リッツ線帯 13 を形成する。

なお、この場合の予備半田 11 としては、例えば半田ディップ層に対してリッツ線帯の各端部を所要時間にわたって浸漬させるようにして施せばよい。
15

このようにして形成された、長さ $Y1$ による第 1 リッツ線帯 12 は、先の図 6 に示した絶縁コンバータトランスの二次巻線における、各巻き始め端部から各センタータップまでの巻線部（巻線部 $N2A1$ 、 $N2B1$ 、 $N2C1$ ）に相当する二次巻線 $N21$ の線材として用いる。

また、一方の長さ $Y2$ による第 2 リッツ線帯 13 としては、同じく図 6 に示した絶縁コンバータトランス PIT の二次巻線における、各センタータップから各巻き終わり端部までの巻線部（巻線部 $N2A2$ 、 $N2B2$ 、 $N2C2$ ）に相当する二次巻線 $N22$ の線材として用いるものとする。
20

なお、この場合において、上記第 1 リッツ線帯 12（二次巻線 $N21$ ）、第 2 リッツ線帯 13（二次巻線 $N22$ ）として、それぞれリッツ線 10 を 4 本整列させているのは、例えば図 6 に示した回路と同等の動作を得るにあたり、二次巻線の全体の総断面積（導体部分）を同等とするためのである。
25

つまり、これまでの説明からもわかるように、この場合のリッツ線10としては、図6の場合よりも断面積sが小さいものとされるから、その分用いる本数は多くなるものである。

図12に示したようにして、二次巻線N21としての第1リッツ線帯12、二次巻線N22としての第2リッツ線帯13を形成した上で、第2の実施の形態では、これら第1リッツ線帯12、第2リッツ線帯13を、次に説明するようにして絶縁コンバータトランスPITに対して巻装する。

10 先ず、図13に示すようにして、これら第1リッツ線帯12、第2リッツ線帯13における、それぞれ予備半田11が施された各両端部に対し、各々リード線14を半田付けする。

そして、このように各端部に対してそれぞれリード線14を半田付けした第1リッツ線帯12、第2リッツ線帯13のうち、先ずは第1リッツ線帯12から、絶縁コンバータトランスPITにおけるボビンBの二次側巻装部に対して所定のターン数を巻装する。その上で、第2リッツ線帯13を、このように巻装した第1リッツ線帯12の外側に所定のターン数巻装する。

図14の断面図は、このような第2の実施の形態の場合における、絶縁コンバータトランスPITへの各巻線の巻装状態を示したものである。

20 この場合、上記第1リッツ線帯12は、図示するようにボビンBの巻装部にて、4本のリッツ線10の整列が維持された状態で巻装されるものとなる。同様に上記第2リッツ線帯13としても、図のようにボビンBの巻装部にて4本のリッツ線10の整列が維持された状態で巻装される。

そしてこの場合は、図示しているように上記第1リッツ線帯12（二次巻線N21）として、3ターンを施すものとしている。同様に、上記第2リッツ線帯13（二次巻線N22）としても3ターンを施すようにされる。

25 なお、ここでの図示による説明は省略するが、この場合において、上記のようにしてボビンBに対して巻装される第1リッツ線帯12は、図13に示したようにその両端部に半田付けされたリード線14、14を、それぞれ絶縁コンバータ

トランス P I T における所定のピン端子に対して巻き付けた上で、半田付けされる。また、第 2 リッツ線帯 1 3 としても、同様にその両端部に半田付けされたリード線 1 4、1 4 を、各々所定のピン端子に対して巻き付けた上で半田付けする。

このような第 2 の実施の形態によれば、例えば図 6 に示した各巻線部が、平行に並べられた状態で巻装されたのと同等の状態が得られる。すなわち、第 1 リッツ線帯 1 2 が巻装されることで、巻線部 N 2 A1、N 2 B1、N 2 C1 が平行に並べられたのと同等の状態が得られる。さらに、第 2 リッツ線帯 1 3 が巻装されることで、巻線部 N 2 A2、N 2 B2、N 2 C2 が平行に並べられたのと同等の状態が得られる。

このことから、第 1 リッツ線帯 1 2、第 2 リッツ線帯 1 3 として二次巻線を巻装した第 2 の実施の形態では、先に説明したように各々並列関係にある各巻線部の間で、直流抵抗値に差が生じてしまうといったことを防止できる。

そして、このように各巻線部間の直流抵抗値の差をなくして、それぞれのリッツ線 1 0 で生じる直流抵抗を同等の値とすることができれば、各巻線（二次巻線 N21、二次巻線 N22）での合成直流抵抗値を、先の図 6 の場合（二次巻線 N 2 A、N 2 B）よりも低減することができるようになる。

さらにこの場合、先の図 1 4 にも示したように、本例では二次巻線としてのリッツ線 1 0 の複数を、ボビン B に対して整列させた状態で巻装するようにしたことから、図 6 の回路の場合（図 7 B 参照）のようにリッツ線 1 0（巻線）をガラ巻きにより施す場合よりも、巻回されるリッツ線 1 0 の間に隙間を生じさせないようにすることができる。つまり、この場合は、図 6 の回路の場合よりも巻線間の隙間がより詰められるようにして巻装された状態とすることができるから、巻回されるリッツ線 1 0 の長さとしても短くすることができるものである。

このようにリッツ線 1 0（巻線）の長さが短くされていることによっても、図 6 の回路の場合よりも二次巻線の合成直流抵抗値の低減が図られるものである。

実験によれば、第 2 の実施の形態の場合の二次巻線における直流抵抗値として、第 1 リッツ線帯 1 2 による二次巻線 N21 の合成直流抵抗値は、 $R_{o21} = 1.3 \text{ m}$

Ω となり、第2リッツ線帯13による二次巻線N22の合成直流抵抗値は、 $R_{o22} = 1.4 \text{ m}\Omega$ となる結果が得られた。つまり、先の図6の回路の場合の合成直流抵抗値 $R_{o1} = 1.9 \text{ m}\Omega$ 、 $R_{o2} = 2.1 \text{ m}\Omega$ よりも低減される結果が得られたものである。

- 5 そして、このように二次巻線の合成直流抵抗値が低減されることにより、先の図6の回路と同様に30Aの整流電流が流されるとした場合における、第2の実施の形態のスイッチング電源回路の二次巻線に生じる電力損失としては、

$$30^2 \times (1.3 + 1.4) \times 10^{-3} / 2$$

により、1.2Wとすることができる。

- 10 これは、図6の回路の場合の損失電力1.8Wよりも大幅に低減されているものである。

- また、上記もしたように、第2の実施の形態の場合は、第1リッツ線帯12、第2リッツ線帯13として、その両端に予備半田11を施した上で、ここにリード線14を半田付けするようにしている。そして、このように半田付けした各リ
15 ード線14を、絶縁コンバータトランスPITのピン端子に対して巻き付けた上で半田付けするようにしたものである。

つまり、このようにすることで、先の図6、図10の回路の場合のように、リッツ線10内の複数の素線10aを束ねてピン端子に巻き付ける工程を不要とすることができたものである。

- 20 このように、素線10aを束ねてピン端子に巻き付ける工程が不要となれば、リッツ線10として、素線10aの束数、及び素線10aの線径Xを制限する必要がなくなる

そして、これによって第2の実施の形態では、上記もしたようにリッツ線10として、先の図6、図10の回路の場合の素線径 $= 0.1 \text{ mm}$ よりも細い、0.

- 25 06mmの素線径によるリッツ線10を選定することができたものである。

このようにリッツ線 10 の素線 10 a の線径を細くできることで、高周波の整流電流が流れることによる渦電流損を低減させることができ、同時にこの渦電流損による二次巻線の発熱も抑制することができる。

5 このようにして第 2 の実施の形態の電源回路としては、二次巻線を整列させた状態で巻装したことにより絶縁コンバータトランス P I T の二次巻線における電力損失（銅損）が減少し、さらにリッツ線 10 の素線 10 a の線径を細くして渦電流損が低減されることにより、図 6 の回路よりも電力変換効率の向上を図ることができる。

10 例えば、先にも示したように図 6 の回路の場合の AC→DC 電力変換効率は、交流入力電圧 $V_{AC} = 100\text{ V}$ 、負荷電力 $P_o = 150\text{ W}$ の条件下において $\eta_{AC \rightarrow DC} = 88\%$ 程度であった。これに対し、同条件下における、本実施の形態の電源回路による AC→DC 電力変換効率は、 $\eta_{AC \rightarrow DC} = 89.6\%$ 程度となり、図 6 の回路よりも約 1.6% 向上する実験結果が得られた。

15 また、この場合における交流入力電力としては、図 6 の回路と比較して 3.0 W 低減する結果が得られた。

また、さらにこの場合は、リッツ線 10 を整列させた状態により巻装したことで、絶縁コンバータトランス P I T に巻装する二次巻線を、図 6 の場合では 3 組に分けていたものを 2 組の巻線により巻装したものとすることができる。

20 ここで、上記説明による第 2 の実施の形態のスイッチング電源回路の二次側の構成を、図 15 の回路図に示すが、この図 15 に示されるように第 2 の実施の形態によれば、先の図 6 の場合では巻線部 N 2 A1、N 2 B1、N 2 C1 の 3 つ巻線部に分けて巻装していたものを、二次巻線 N 21 としての 1 つの巻線により巻装することができる。同様に、巻線部 N 2 A2、N 2 B2、N 2 C2 の 3 つ巻線部に分けて巻装していたものを、二次巻線 N 22 としての 1 つの巻線により巻装することができる。

25 このようにして、絶縁コンバータトランス P I T の二次巻線を 2 つとすることができることで、この場合の絶縁コンバータトランス P I T のピン端子数としては、図 6 の場合は 9 個とされていたものを、4 つに減らすことが可能となる。

そして、このようにピン端子数を減らすことが可能となることで、絶縁コンバータトランスPITの基板への実装面積を削減することができる。

- また、上記のように二次巻線の数が増加することによって、各巻線の接続のために線材を巻き付ける箇所も減ることになるから、その分絶縁コンバータトランスPITの製造が容易になるというメリットもある。

なお、ここでは第2の実施の形態のスイッチング電源回路として、主に図6に示した電源回路を基とした場合の構成について説明したが、図10に示した回路を基本構成とする場合も、二次巻線を先の図12～図14にて説明した構成と同様とすることで、同様の効果を得ることができる。

- すなわち、この場合は図10に示した二次巻線N2A、N2B、N2Cを整列させた1本の巻線としての、先の図12に示したようなリッツ線帯を1つ形成する。そして、この1つのリッツ線帯を絶縁コンバータトランスPITのボビンBに対して、この場合は6ターン施すようにするものである。

- これによって、図10に示した回路を基とした場合の、第2の実施の形態のスイッチング電源回路としては、次の図16の回路図に示されるように、絶縁コンバータトランスPITの二次巻線N2が1つのみで構成されるものとなる。

そして、この場合も、並列関係にあった各巻線間の直流抵抗の値を同等とすることができるので、これに伴って二次巻線N2全体の合成直流抵抗値を、図10の場合よりも低減することができるようになる。

- また、この場合としても、二次巻線N2としてのリッツ線帯を予備半田し、そこに絶縁コンバータトランスPITのピン端子へのリード線14を半田付けするようにすれば、素線径Xがより細いリッツ線10を使用することが可能となって、渦電流損を低減することが可能となる。

- さらに、この場合は、二次巻線N2を1つとすることができることで、図16の回路図にも示されるように絶縁コンバータトランスPITのピン端子を2つとすることができ、図10の回路の場合よりも絶縁コンバータトランスPITの基板への実装スペースを削減することができる。

続いては、次の図 1 7～図 1 9 を参照して、本発明の第 3 の実施の形態について説明する。

第 3 の実施の形態としても、先の図 6、図 1 0 に示した電源回路の構成を基とした上で、絶縁コンバータトランス P I T における二次巻線の構成のみを変更する
5 するようにしたものである。なお、この場合においても、図 1 7～図 1 9 においては、先の図 6 に示した二次巻線をセンタータップする構成を基とした場合についての、絶縁コンバータトランス P I T の二次巻線の構成について示す。

まず、第 3 の実施の形態としても、二次巻線の線材としては先の図 1 1 に示したようなリッツ線 1 0 を用いるものとしている。但し、第 3 の実施の形態で用い
10 るリッツ線 1 0 としては、素線径 $X = 0.10 \text{ mm} \phi \times 200$ 束であって、断面積 $s = 1.570 \text{ mm}^2$ 相当のものを選定している。

そして、この場合は、上記のようなリッツ線 1 0 の 3 本を、それぞれ交互に編み込んで形成した平編線を用意する。

第 3 の実施の形態では、次の図 1 7 に示すように、このように 3 本のリッツ線
15 1 0 を交互に編み込んだ平編線として、それぞれ長さが異なるようにされた 2 本を用意する。

ここでは、図のように長さ Y_1 とした平編線を第 1 平編線 1 5 とし、この長さ Y_1 よりも長い長さ Y_2 とした平編線を第 2 平編線 1 6 とする。そして、このように形成した第 1 平編線 1 5、第 2 平編線 1 6 の両端に対しては、この場合もそ
20 れぞれ予備半田 1 1 を施すようにしている。

この図 1 7 にも示されるように、第 3 の実施の形態においても、長さが短くなるようにされた第 1 平編線 1 5 の方を、先の図 6 に示した絶縁コンバータトランスの二次巻線における、各巻き始め端部から各センタータップまでの巻線部（巻線部 N 2 A1、N 2 B1、N 2 C1）に相当する二次巻線 N 21 の線材として用いる。

また、長さが長くなるようにされた第 2 平編線 1 6 の方を、各センタータップから各巻き終わり端部までの巻線部（巻線部 N 2 A2、N 2 B2、N 2 C2）に相当する二次巻線 N 22 の線材として用いるものとする。

なお、この場合、上記第 1 平編線 1 5 の長さ Y_1 、第 2 平編線 1 6 の長さ Y_2 は、それぞれ $Y_1 = 25 \text{ cm}$ 、 $Y_2 = 30 \text{ cm}$ に設定している。

また、この場合としても、図 6 に示した回路と同等の動作を得るために、二次巻線の全体の総断面積（導体部分）を図 6 の場合と同等とするように第 1 平編線 1 5、第 2 平編線 1 6 が設定されている。

さらに、第 3 の実施の形態としても、次の図 1 8 に示すようにして、上記第 1 平編線 1 5、第 2 平編線 1 6 の予備半田された両端部に対しては、それぞれ絶縁コンバータトランス P I T へのリード線 1 4 を半田付けするようにされる。

そして、このように各端部に対してそれぞれリード線 1 4 が半田付けされた、
10 先ずは第 1 平編線 1 5 から、絶縁コンバータトランス P I T におけるボビン B の二次側巻装部に対して所定のターン数を巻装する。その上で、第 2 平編線 1 6 を、このように巻装した第 1 平編線 1 5 の外側に所定のターン数巻装する。

この場合における、絶縁コンバータトランス P I T への各巻線の巻装状態を、次の図 1 9 の断面図により示すが、第 1 平編線 1 5 は、図示するようにボビン B
15 の巻装部に対して 3 ターンが施される。そして、このように巻装された第 1 平編線 1.5 に続けて、外側に第 2 平編線 1 6 が同様に 3 ターン施される。

なお、図示による説明は省略しているが、この場合も、上記のようにしてボビン B に対して巻装される第 1 平編線 1 5 は、両端部に半田付けされたリード線 1 4、1 4 を、それぞれ絶縁コンバータトランス P I T における所定のピン端子に
20 対して巻き付けた上で、半田付けされる。また、第 2 平編線 1 6 としても、同様にその両端部に半田付けされたリード線 1 4、1 4 を、各々所定のピン端子に対して巻き付けた上で半田付けする。

これによって、絶縁コンバータトランス P I T の二次巻線としては、巻き始め側に第 1 平編線 1 5 としての二次巻線 N21 が巻装され、巻き終わり側に第 2 平編線 1 6 としての二次巻線 N22 が巻装された状態が得られる。
25

このような第 3 の実施の形態の構成によっても、図 6 に示した各巻線部が、平行に並べられた状態で巻装されたのと同等の状態が得られるようになるから、各

巻線部の間で直流抵抗値に差が生じてしまうといったことを防止できる。つまりこの場合も、各巻線（二次巻線N21、二次巻線N22）での合成直流抵抗値を、先の図6の場合（二次巻線N2A、N2B）よりも低減することができるものである。

実験によれば、第3の実施の形態の場合の二次巻線における直流抵抗値として、

- 5 第1平編線15による二次巻線N21の合成直流抵抗値は、 $R_{o21} = 0.9 \text{ m}\Omega$ となり、第2平編線16による二次巻線N22の合成直流抵抗値は、 $R_{o22} = 1.1 \text{ m}\Omega$ となる結果が得られた。つまりこの場合も、図6の回路の場合の合成直流抵抗値 $R_{o1} = 1.9 \text{ m}\Omega$ 、 $R_{o2} = 2.1 \text{ m}\Omega$ よりも低減される結果が得られたものである。

- 10 そして、図6の回路と同様に30Aの整流電流が流されたとした場合における、この場合のスイッチング電源回路の二次巻線に生じる電力損失としては、

$$30^2 \times (0.9 + 1.1) \times 10^{-3} / 2$$

により、0.9Wとすることができる。

- 15 また、第3の実施の形態の場合では、二次巻線の線材として、先の図17において説明したように複数のリッツ線10を交互に編み込んだ第1平編線15、第2平編線16を用いるものとしている。このようにして、複数のリッツ線10が交互に編み込まれていることにより、第3の実施の形態では、各リッツ線10における渦電流損が低減されるようになる。

- 20 つまり、このように二次巻線の線材として平編線を用いるようにした第3の実施の形態においても、高周波の整流電流が二次巻線に流れることによって生じるとされる渦電流損を低減させることができ、この渦電流損による二次巻線の発熱も抑制することができるものである。

- 25 なお、実験によれば、このような第3の実施の形態の電源回路におけるAC→DC電力変換効率 $\eta_{AC \rightarrow DC}$ は、交流入力電圧 $V_{AC} = 100 \text{ V}$ 、負荷電力 $P_o = 150 \text{ W}$ の条件下において $\eta_{AC \rightarrow DC} = 91.0\%$ となる結果が得られた。従って、この場合は、同条件下における図6の回路の場合の $\eta_{AC \rightarrow DC} = 88\%$ と比べて約3.0%の向上が図られているものである。

また、この場合における交流入力電力としては、先の図 6 の回路と比較して 5.6 W 低減する結果が得られた。

また、この場合においても、先の第 2 の実施の形態の場合と同様にリッツ線 10 を整列させたに等しい状態により巻装できるから、絶縁コンバータトランス P I T に巻装する二次巻線を 2 つの巻線により巻装したものとする事ができる。すなわち、この場合もスイッチング電源回路の構成としては、先の図 1 5 に示したものとすることができ、絶縁コンバータトランス P I T のピン端子数としても、先の第 2 の実施の形態と同様の 4 つに減らすことが可能となる。

このようにピン端子数を減らすことが可能となることで、先にも説明したように 10 に絶縁コンバータトランス P I T の基板への実装面積を削減することができる。また、これと共に、絶縁コンバータトランス P I T の製造が容易となる。

なお、ここでも第 3 の実施の形態のスイッチング電源回路として、主に図 6 に示した構成を基とした場合の構成について説明したが、図 1 0 に示した回路を基とする場合も、二次巻線を先の図 1 7 ～図 1 9 にて説明した構成と同様とするこ
15 とで、同様の効果を得ることができる。そして、その場合の二次側の回路構成としても、先の図 1 6 に示したものとなる。

さらに、図 2 0 ～図 2 3 を参照して、本発明における第 4 の実施の形態について説明する。

第 4 の実施の形態としても、先の図 6、図 1 0 の回路を基とした上で、絶縁コ
20 ンバータトランス P I T における二次巻線の構成のみを変更するようにしたものである。

この場合においても、図 2 0 ～図 2 3 においては、図 6 の二次巻線をセンター
タップする構成を基とした場合についての絶縁コンバータトランス P I T の二次
巻線の構成について示す。

25 第 4 の実施の形態としては、絶縁コンバータトランス P I T の二次巻線の線材として、先の第 2、第 3 の実施の形態の場合とは異なり、次の図 2 0 に示すような銅箔フィルム 1 7 を用いるようにしたものである。

この銅箔フィルム 17 としては、図 20 に示されるように銅箔板 17a を絶縁被膜 17b により被覆した、板状の銅線を用いるものとしている。

5 なお、上記絶縁被膜 17b としては、例えばポリウレタン被膜やポリエステルテープとされればよい。また、この場合の銅箔フィルム 17 においては、内部の銅箔板 17a の図示する厚さ T_t 、幅 W として、 $T_t = 0.075 \text{ mm}$ 、 $W = 20 \text{ mm}$ に設定している。従ってこの場合、銅箔フィルム 17 の断面積 s (導体部分) は、 $s = 1.50 \text{ mm}^2$ とされる。

10 第 4 の実施の形態では、このような銅箔フィルム 17 として、次の図 21 に示すようにそれぞれ長さが異なるようにされた 8 枚を用意する。この場合、これら 8 枚のうち 1 枚を、先ずは図のように長さ Y_a とし、この長さ Y_a に対して例えば $+1 \text{ mm}$ 、 $+2 \text{ mm}$ 、 $+3 \text{ mm}$ とする等、ボビン B に巻装された際外側に位置するようにされる銅箔フィルム 17 となるに従って長くなるようにした計 4 枚の銅箔フィルム 17 を用意する。

15 さらに、この場合は、図示するように $Y_a + 3 \text{ mm}$ よりも長い、長さ Y_b とした銅箔フィルム 17 と、さらに例えば $Y_b + 1 \text{ mm}$ 、 $Y_b + 2 \text{ mm}$ 、 $Y_b + 3 \text{ mm}$ とした銅箔フィルム 17 の 4 枚を用意する。

そして、これら計 8 枚の銅箔フィルム 17 の各両端部に対し、図のように予備半田 11 を施すようにする。

20 なお、この場合の上記長さ Y_a 、 Y_b はそれぞれ $Y_a = 25 \text{ cm}$ 、 $Y_b = 30 \text{ cm}$ に設定している。

このような銅箔フィルム 17 を用意した上で、次の図 22 に示されるように、銅箔フィルム 17 の各 4 枚ずつを積層し、それぞれ第 1 層帯 18、第 2 層帯 19 を形成する。

25 この場合、上記第 1 層帯 18 としては、図 21 に示した長さ Y_a 、 $Y_a + 1 \text{ mm}$ 、 $Y_a + 2 \text{ mm}$ 、 $Y_a + 3 \text{ mm}$ となる 4 枚の銅箔フィルム 17 を、同順で積層することによって形成する。また、第 2 層帯 19 としては、 Y_b 、 $Y_b + 1 \text{ mm}$ 、

Y b + 2 mm、Y b + 3 mmとなる4枚の銅箔フィルム17を同順で積層することによって形成する。

そして、この場合としても、長さが短くなるようにされた第1層帯18を、図6に示した二次巻線の各巻き始め端部から各センタータップまでの巻線部（巻線部N2A1、N2B1、N2C1）に相当する二次巻線N21の線材として用いる。

また、長さが長くなるようにされた第2層帯19を、各センタータップから各巻き終わり端部までの巻線部（巻線部N2A2、N2B2、N2C2）に相当する二次巻線N22の線材として用いる。

なお、この場合もこれら第1層帯18、第2層帯19の両端部に対しては、絶縁コンバータトランスPITのピン端子へのリード線14を半田付けするようにされる。

また、図6に示した回路と同等の動作を得るために、二次巻線の全体の総断面積（導体部分）を図6の場合と同等とするように第1層帯18、第2層帯19の断面積（つまり銅箔板17aの断面積）が設定される。

そしてこの場合は、次の図23の断面図にも示されるように、絶縁コンバータトランスPITのボビンBに対して、先ずは上記第1層帯18を、図のようにその平面が重なるようにして巻装する。さらに、このように巻装される第1層帯18の外側に対して、同様にその平面が重なるようにして第2層帯19を巻装する。

この場合も、これら第1層帯18（二次巻線N21）、第2層帯19（二次巻線N22）としては、共に3ターンを施すものとしている。

このような第4の実施の形態の構成によっても、図6に示した各巻線部が、平行に並べられた状態で巻装されたのと同等の状態が得られるようになるから、各巻線部の間で直流抵抗値に差が生じてしまうといったことを防止できる。つまりこの場合も、各巻線（二次巻線N21、二次巻線N22）での合成直流抵抗値を、先の図6の場合（二次巻線N2A、N2B）よりも低減することができる。

実験によれば、第4の実施の形態の場合の二次巻線における直流抵抗値として、第1層帯18による二次巻線N21の合成直流抵抗値は、 $R_{o21} = 0.75 \text{ m}\Omega$ と

なり、第2層帯19による二次巻線N22の合成直流抵抗値は、 $R_{o22} = 0.9 \text{ m}\Omega$ となる結果が得られた。つまりこの場合も図6の回路の場合の合成直流抵抗値 $R_{o1} = 1.9 \text{ m}\Omega$ 、 $R_{o2} = 2.1 \text{ m}\Omega$ よりも低減される結果が得られる。

そして、図6の回路と同様に30Aの整流電流が流されたとした場合における、

- 5 この場合のスイッチング電源回路の二次巻線に生じる電力損失としては、

$$30^2 \times (0.75 + 0.9) \times 10^{-3} / 2$$

により、0.75Wに低減することができる。

- また、第4の実施の形態の場合では、二次巻線の線材として銅箔フィルム17を用いるものとし、さらにこの銅箔フィルム17内の銅箔板17aとして、例えば厚さ $T_t = 0.075 \text{ mm}$ を設定している。これは、図6の場合のリッツ線10の線径 $X = 0.10 \text{ m}\phi$ と比較して相当に小さい数値となっている。
- 10

このことから、第4の実施の形態において、このような銅箔フィルム17（銅箔板17a）に生じる渦電流損は、図6の場合よりも大幅に低減されるものとなり、またこれによって渦電流損による二次巻線の発熱も抑制することができる。

- 15 実験によれば、第4の実施の形態の電源回路におけるAC→DC電力変換効率、交流入力電圧 $V_{AC} = 100 \text{ V}$ 、負荷電力 $P_o = 150 \text{ W}$ の条件下において $\eta_{AC \rightarrow DC} = 91.5\%$ となる結果が得られた。つまり、同条件下における図6の回路の場合の $\eta_{AC \rightarrow DC} = 88\%$ 程度と比較して約3.5%の向上が図られている。

- また、この場合における交流入力電力としては、先の図6の回路と比較して6.5W低減する結果が得られた。
- 20

- また、この場合においても、先の第2の実施の形態の場合と同様に、絶縁コンバータトランスPITに巻装する二次巻線を2つとすることができる。つまり、この場合も、スイッチング電源回路の構成は先の図15に示したものとすることができ、絶縁コンバータトランスPITのピン端子数としても、先の第2の実施
- 25 の形態と同様の4つに減らすことが可能となる。

このようにピン端子数を減らすことが可能となることで絶縁コンバータトランスPITの基板への実装面積を削減することができ、また、絶縁コンバータトランスPITの製造が容易となる。

5 なお、第4の実施の形態のスイッチング電源回路として、図10に示した回路を基本構成とする場合も、二次巻線を先の図20～図22にて説明した構成と同様とすることで、同様の効果を得ることができる。また、その場合の回路図としても、先の図16に示したものとなる。

なお、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

10 例えば、本発明に基づいた巻線電圧検出方式の同期整流回路の細部の構成については適宜変更されてよい。また、例えば一次側スイッチングコンバータのスイッチング素子としては、IGBT(Insulated Gate Bipolar Transistor)など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更さ
15 れて構わない。

また、本発明としては、自励式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することができる。さらには、4石のスイッチング素子をフルブリッジ結合した電流共振形コンバータにも適用できる。

20

産業上の利用可能性

このことから、本発明としては、巻線電圧検出方式の同期整流回路を備えながらも、二次側整流電流の不連続期間に対応した無効電力は生じないこととなり、例えば、整流電流検出方式による同期整流回路を備えた場合と同等程度にまで電力変換効率を向上させることができる。そして、なおかつ、同期整流回路の回路
25 構成自体は巻線電圧検出方式であることで、整流電流検出方式よりも簡易な構成を採ることができる。

つまり、本発明によつては、同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立が図られるものであり、特に、定電圧大電流とされるような条件に電源回路を使用する場合に有利となるものである。

請求の範囲

1. 入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング部と、

上記スイッチング素子をスイッチング駆動する駆動部と、

5 上記スイッチング部のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング部の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続され

10 る一次側共振コンデンサと、

上記スイッチング部を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング部を形成するスイッチング素子のターンオフ期間に

15 部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に誘起される交番電圧についての整流動作を行って二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と

20 を備え、

上記同期整流回路は、

上記二次巻線の一方の端部と、上記二次側平滑コンデンサの負極端子との間に挿入される第1の電界効果トランジスタと、

上記二次巻線の方の端部と、上記二次側平滑コンデンサの負極端子との間に

25 挿入される第2の電界効果トランジスタと、

上記第 1 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 1 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 1 の駆動回路と、

5 上記第 2 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 2 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 2 の駆動回路と、から成り、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定した、

10 ことを特徴とするスイッチング電源回路。

2. 上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求の範囲第 1 項に記載のスイッチング電源回路。

15 3. 上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線のターン数を設定している、

ことを特徴とする請求の範囲第 1 項に記載のスイッチング電源回路。

20 4. 上記二次側直流出力電圧のレベルに応じて、上記スイッチング部のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御部

をさらに備える

ことを特徴とする請求の範囲第 1 項に記載のスイッチング電源回路。

25 5. 上記絶縁コンバータトランスの二次巻線として、所要以下の線径とされた素線を有するリッツ線の複数を整列して帯状としたリッツ線帯を巻装するようにされる、

ことを特徴とする請求の範囲第 1 項に記載のスイッチング電源回路。

6. 上記絶縁コンバータトランスの二次巻線として、所要以下の線径とされた素線を有するリッツ線の複数を平編みした平編線を巻装するようにした、

ことを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

7. 上記絶縁コンバータトランスの二次巻線として、絶縁フィルムによって被覆された、所要以下の断面積を有する複数のフィルム状導体の複数を積層して形成される積層フィルム帯を巻装するようにした、

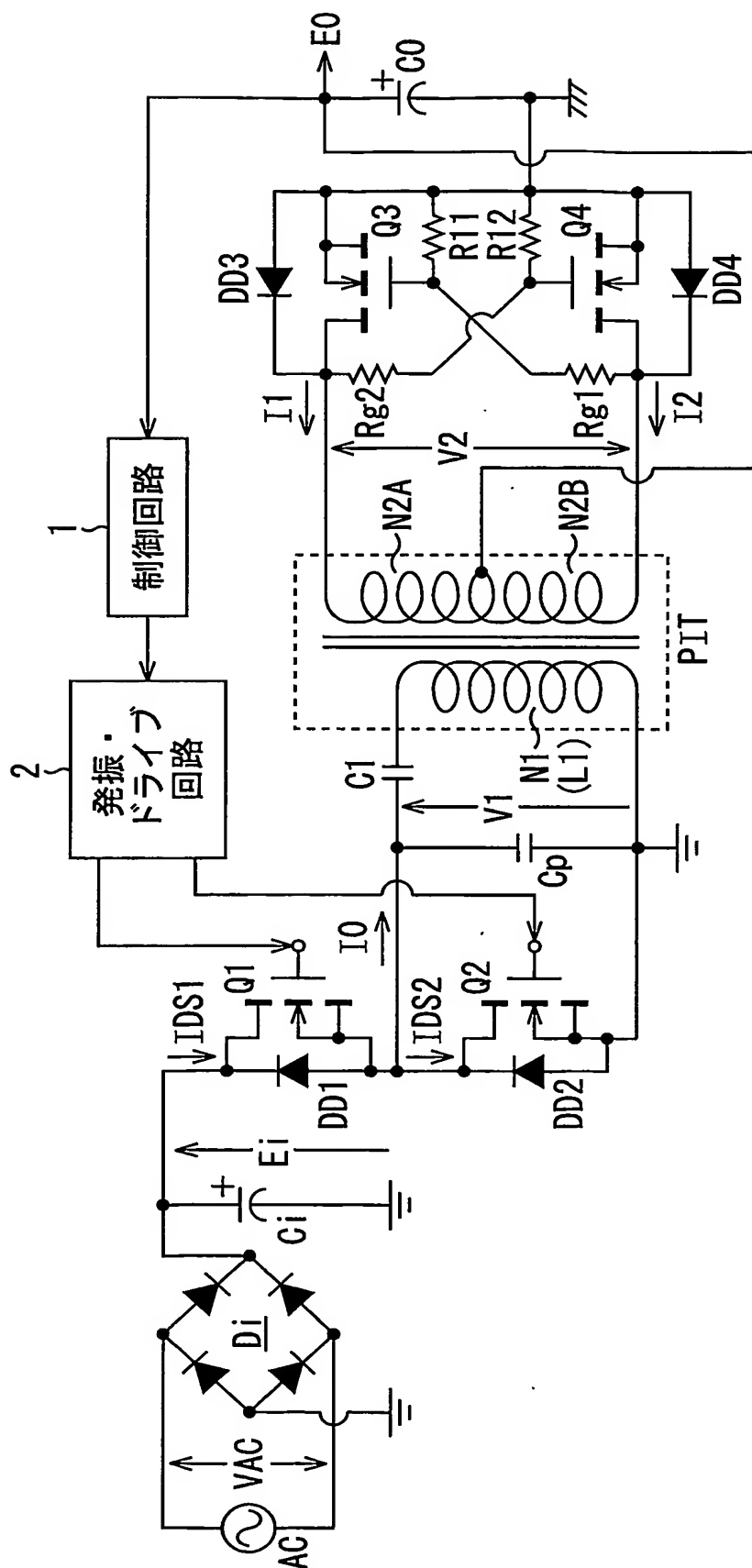
ことを特徴とする請求の範囲第1項に記載のスイッチング電源回路。

8. 上記リッツ線帯、上記平編線、上記積層フィルム帯の両端部は、予備半田された上で、それぞれリード線に対して半田付けされる、

10 ことを特徴とする請求の範囲第4項、請求の範囲第5項、請求項の範囲第6項に記載のスイッチング電源回路。

1/22

図 1



2/22

図 2

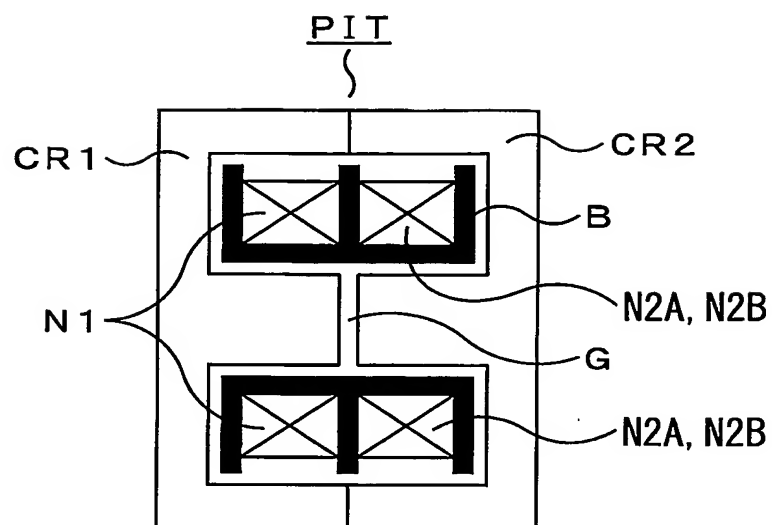
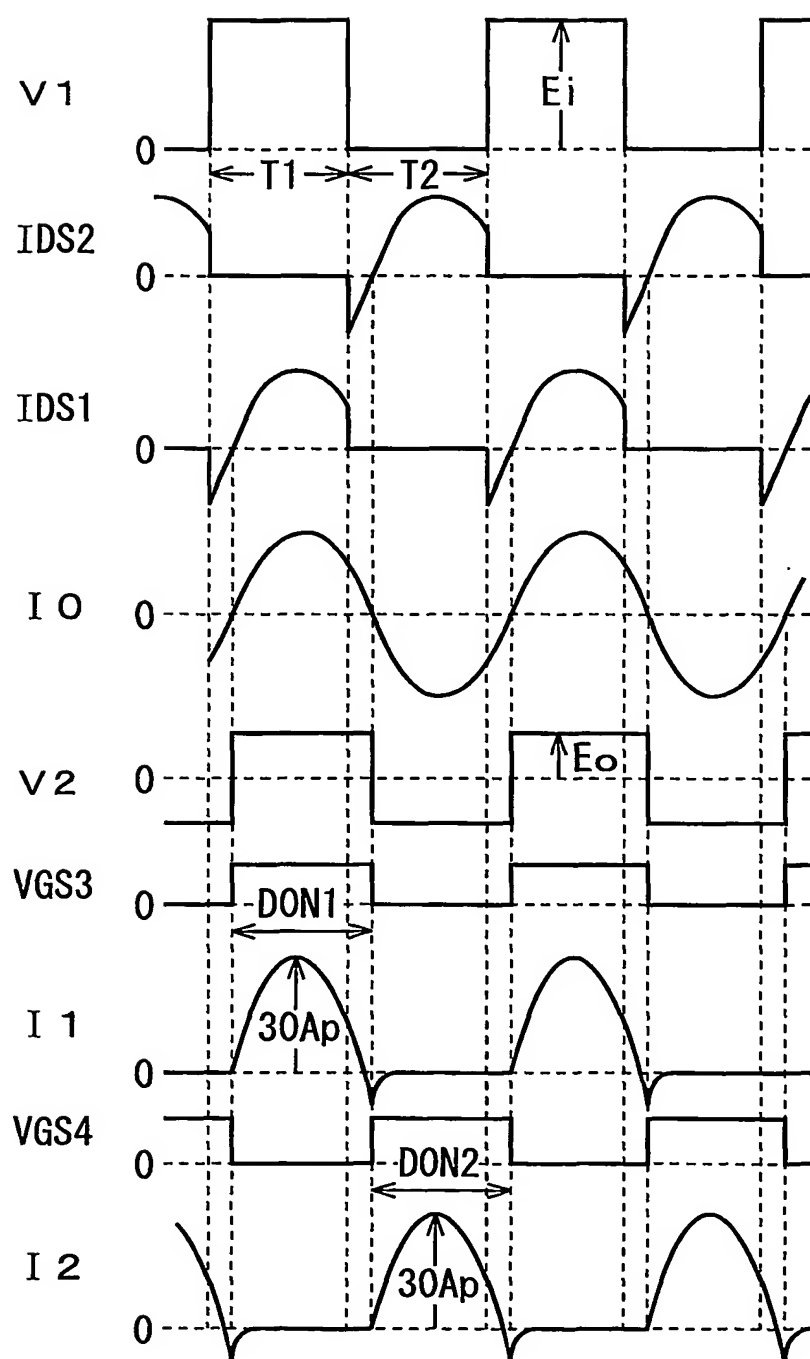
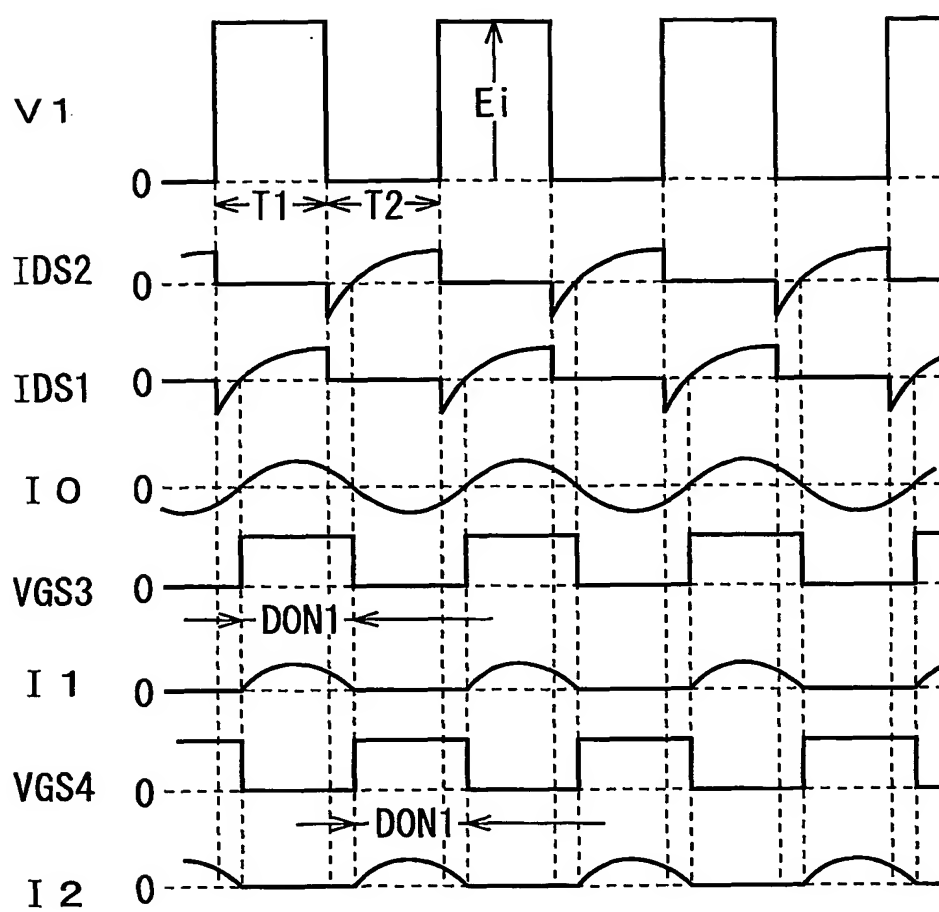


図 3



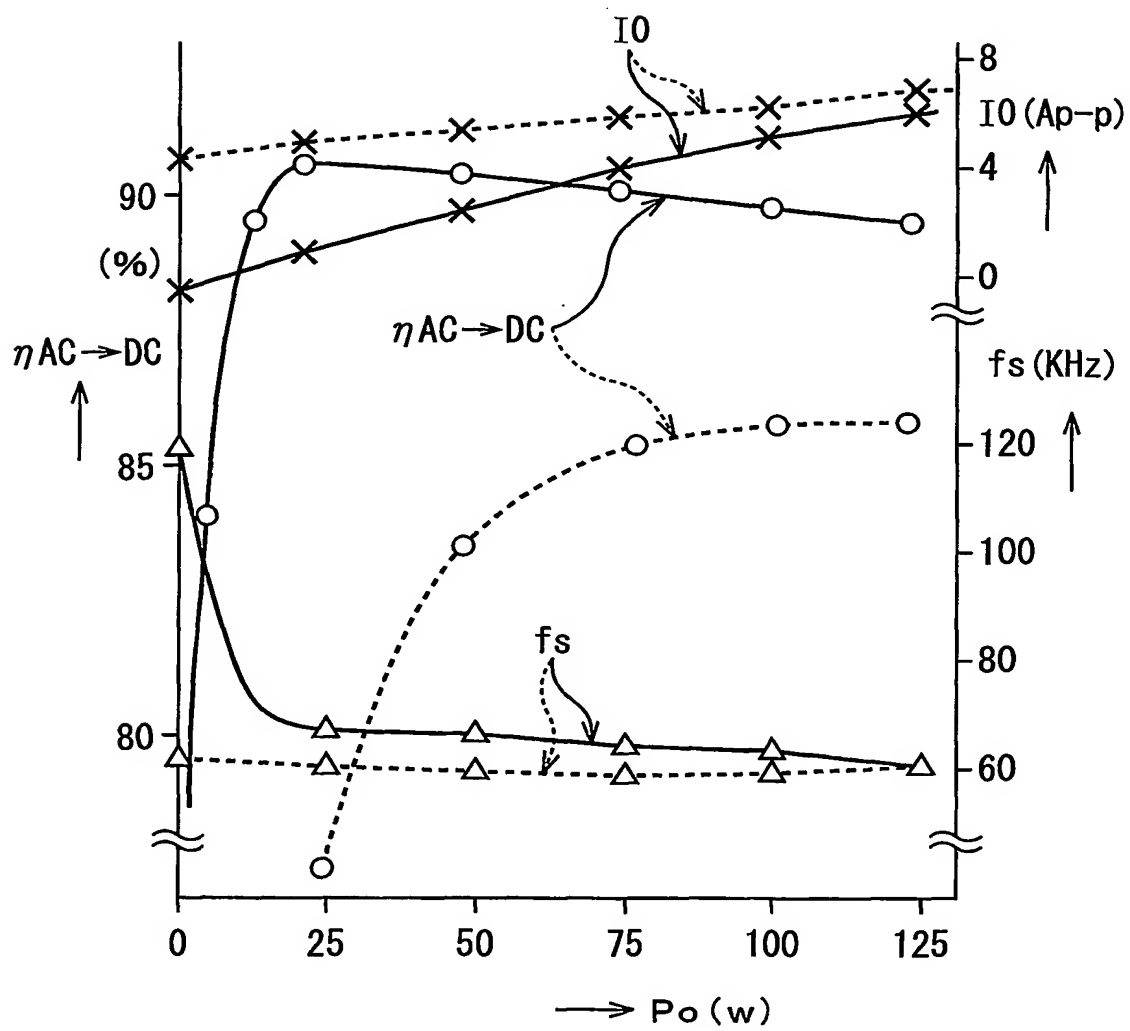
4/22

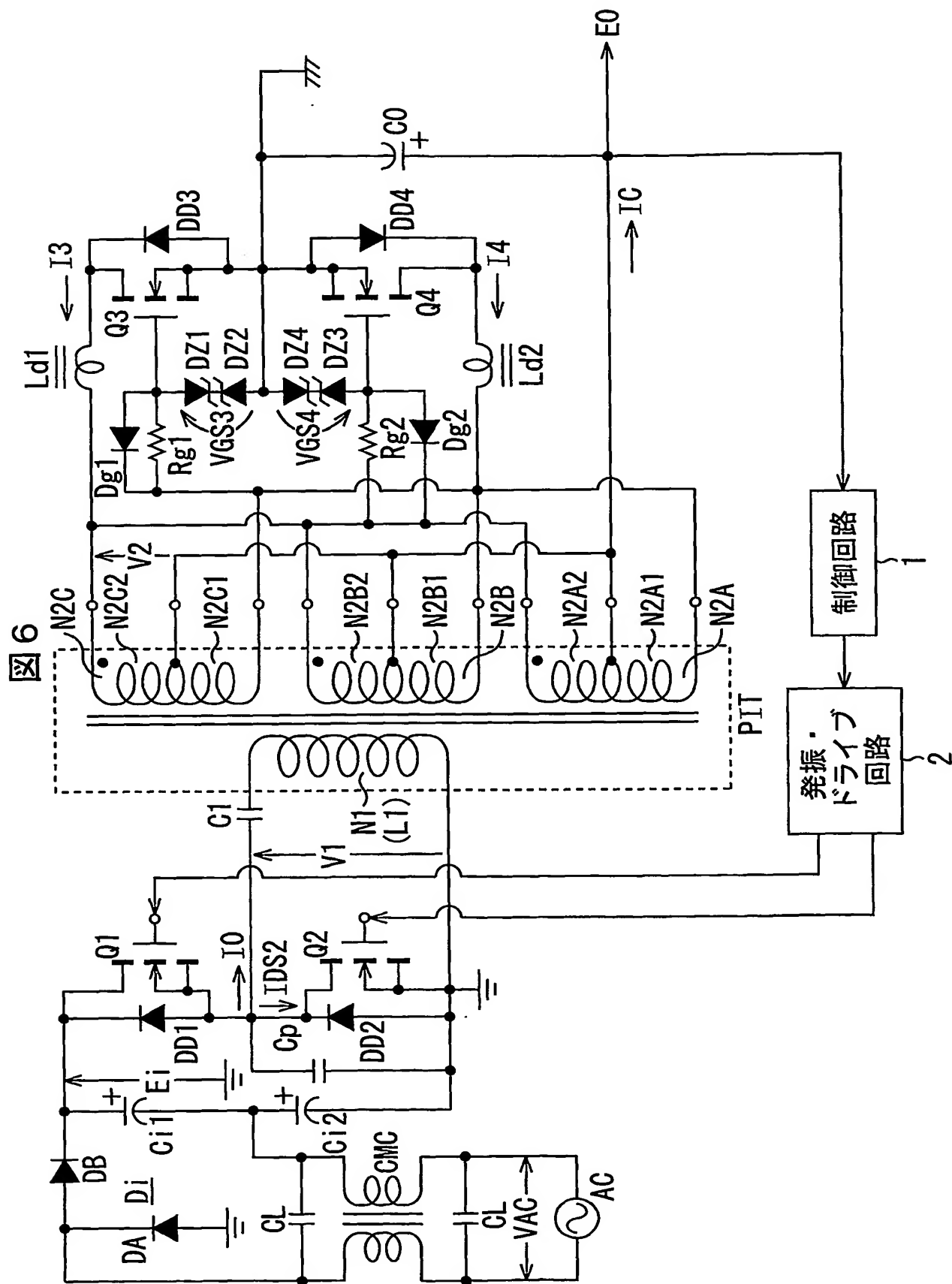
図 4



5/22

図 5





7/22

図 7 A

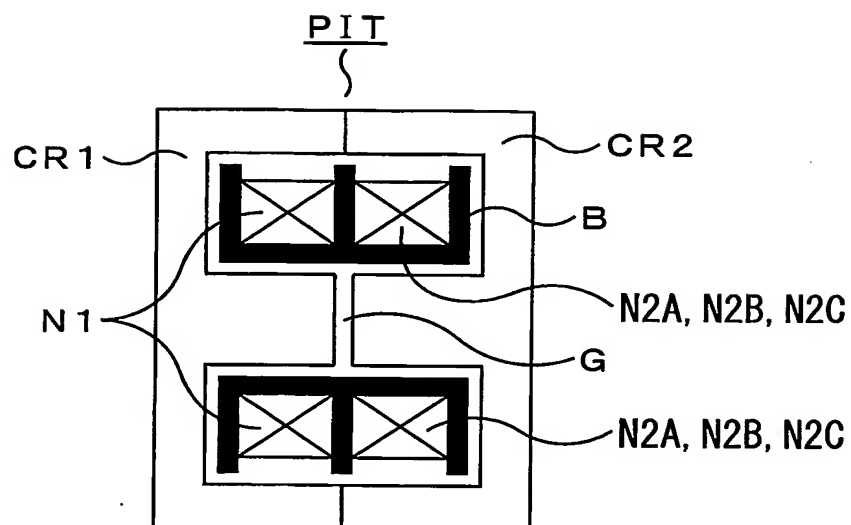
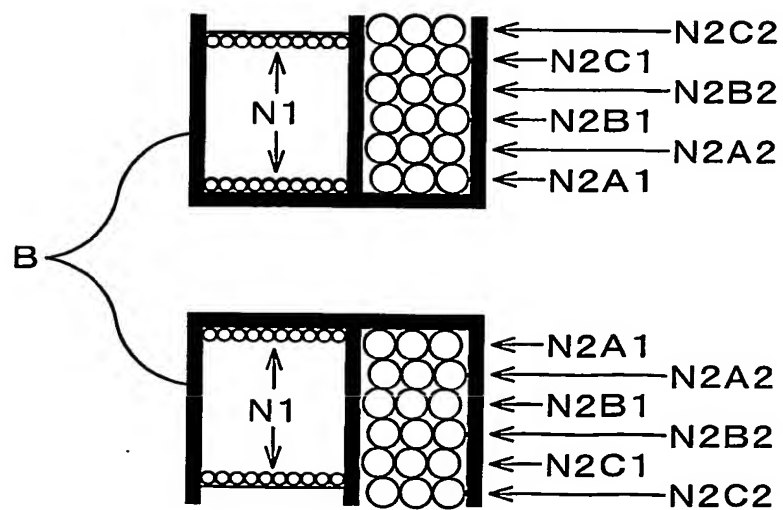
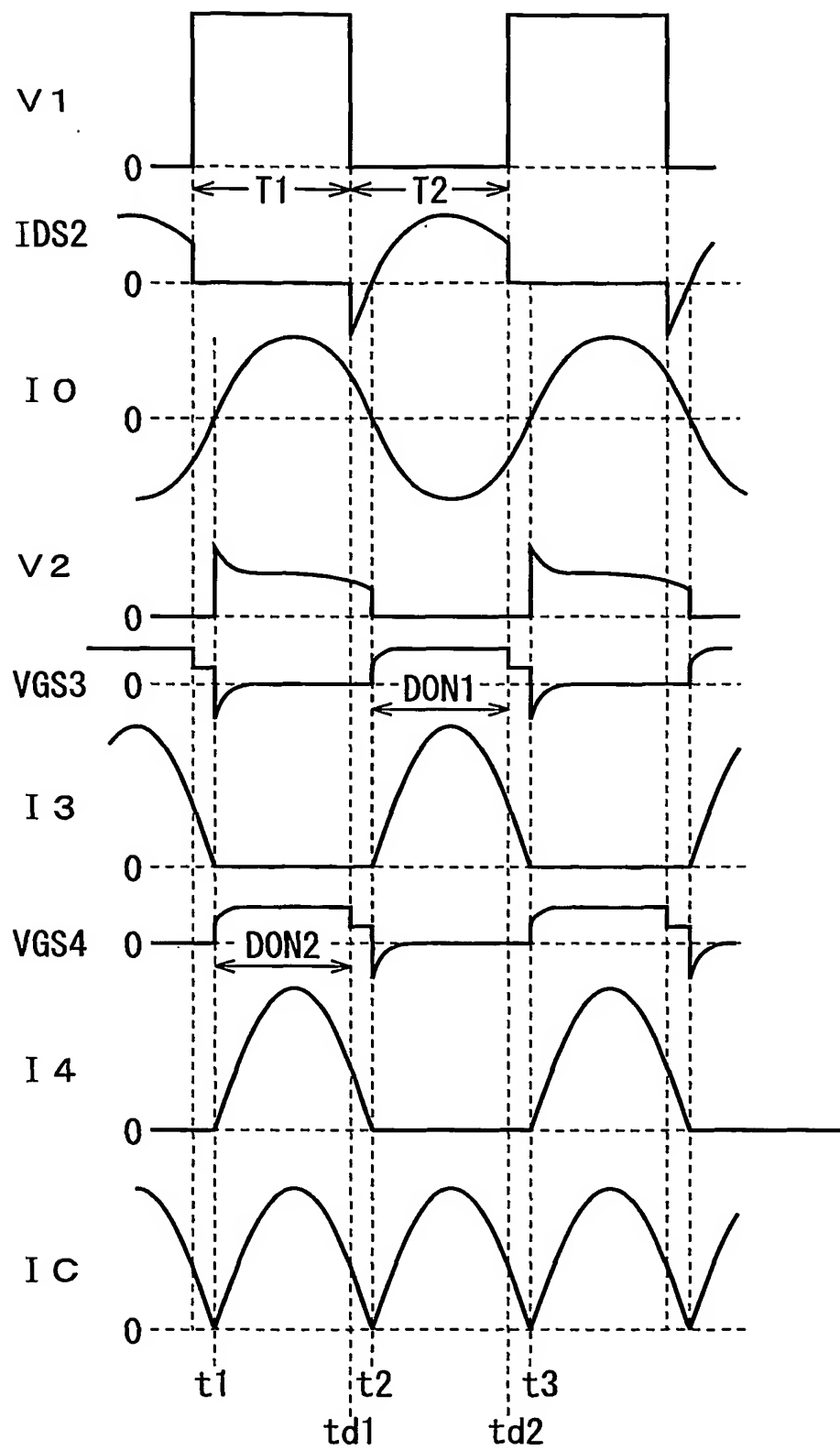


図 7 B



8/22

図 8



9/22

図 9

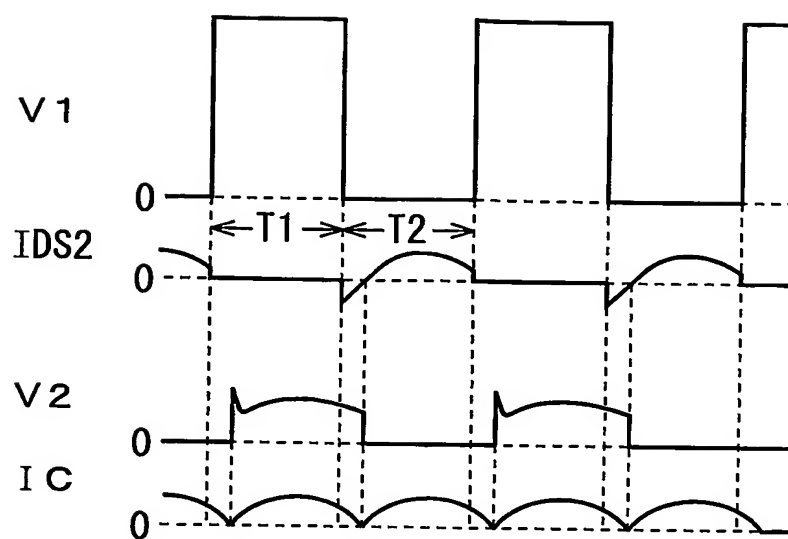
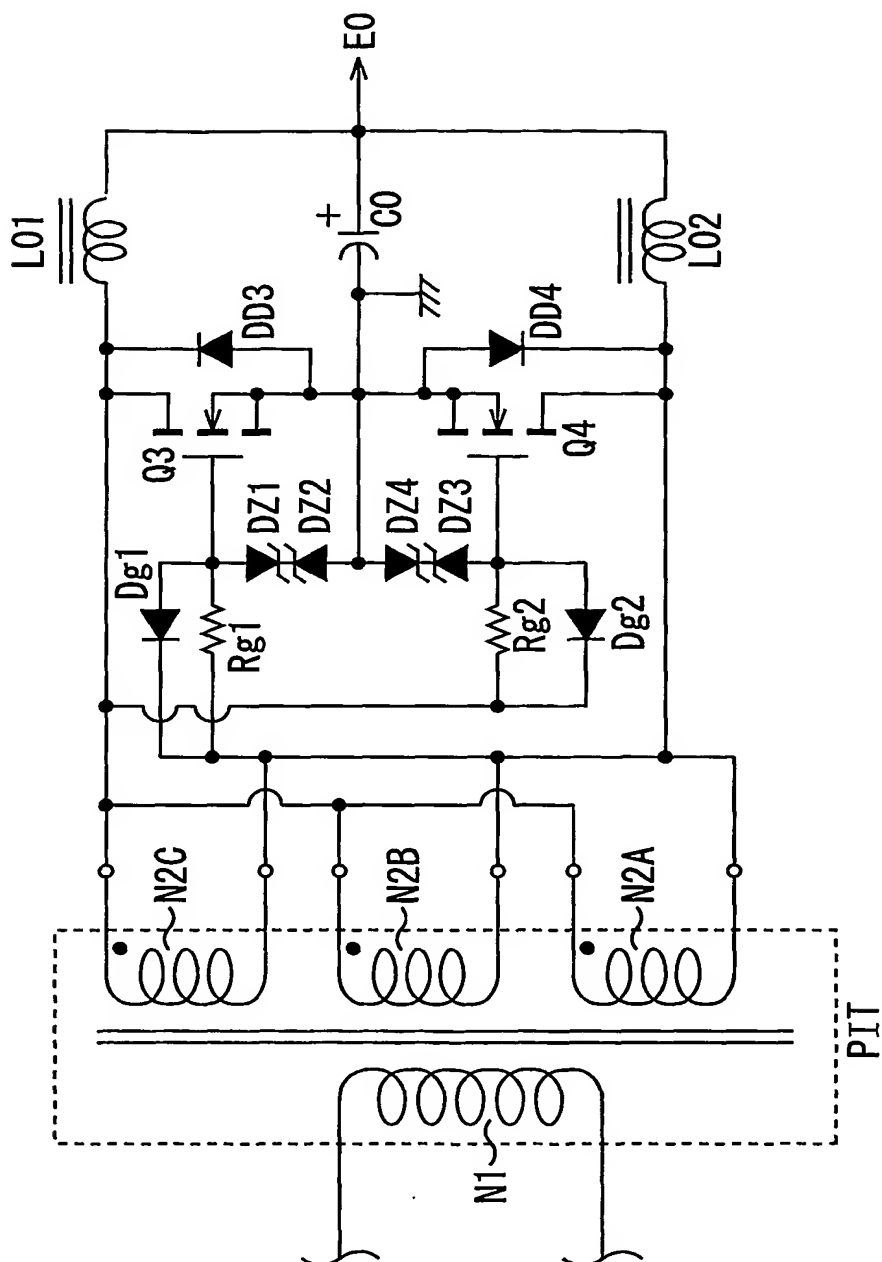


図10



11/22

図11

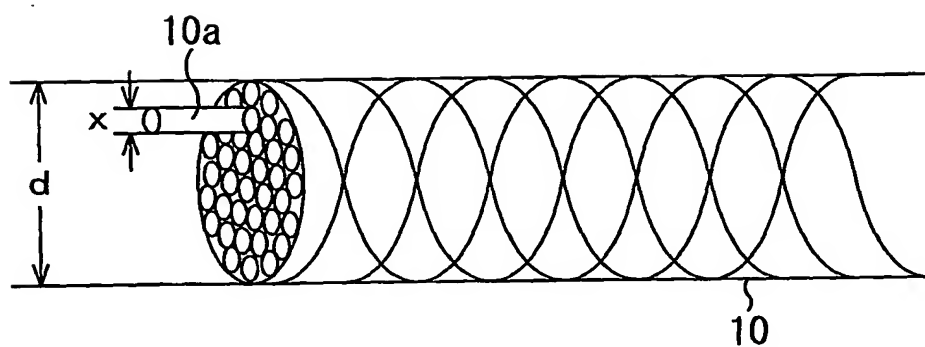
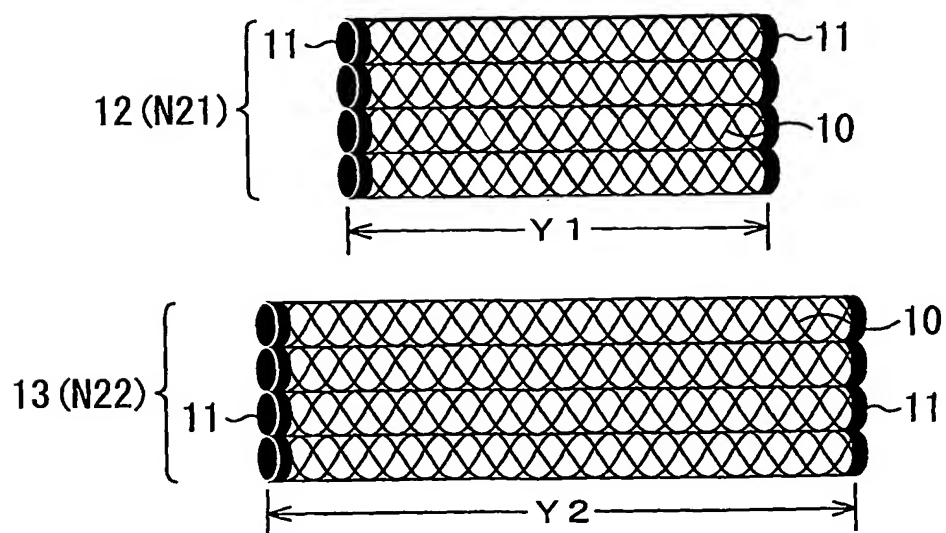


図12



12/22

図13

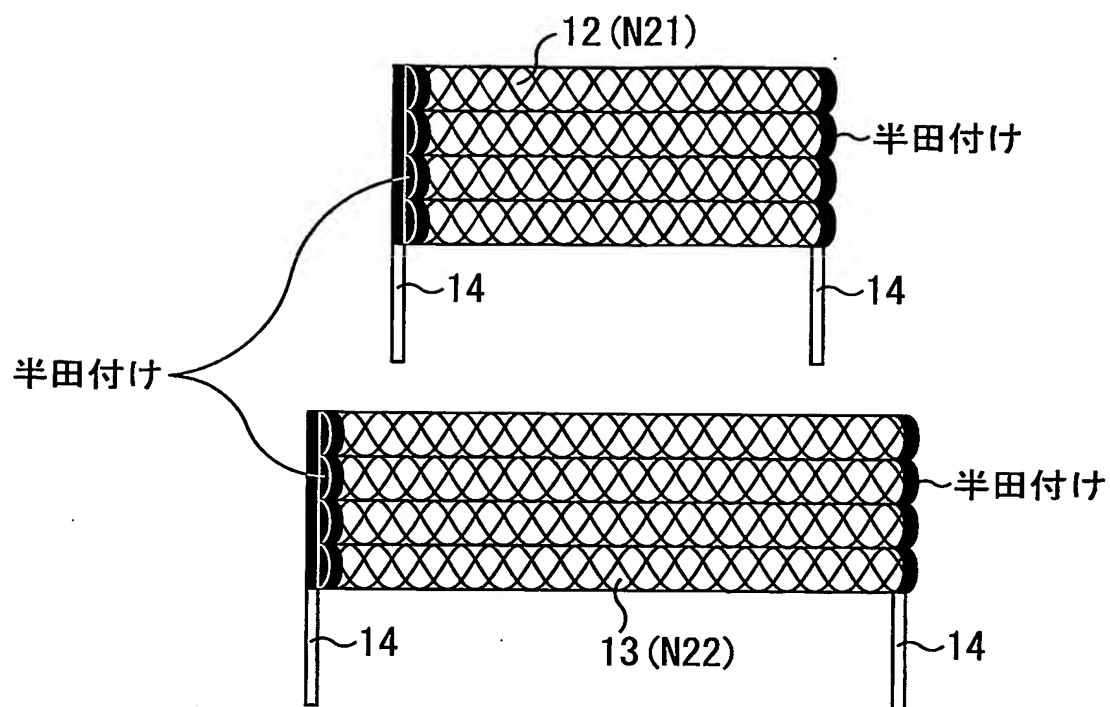
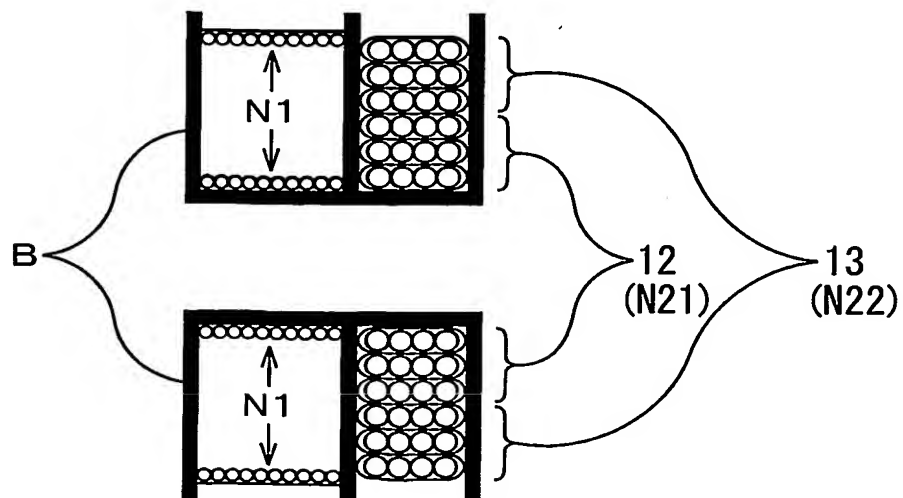


図14



13/22

図15

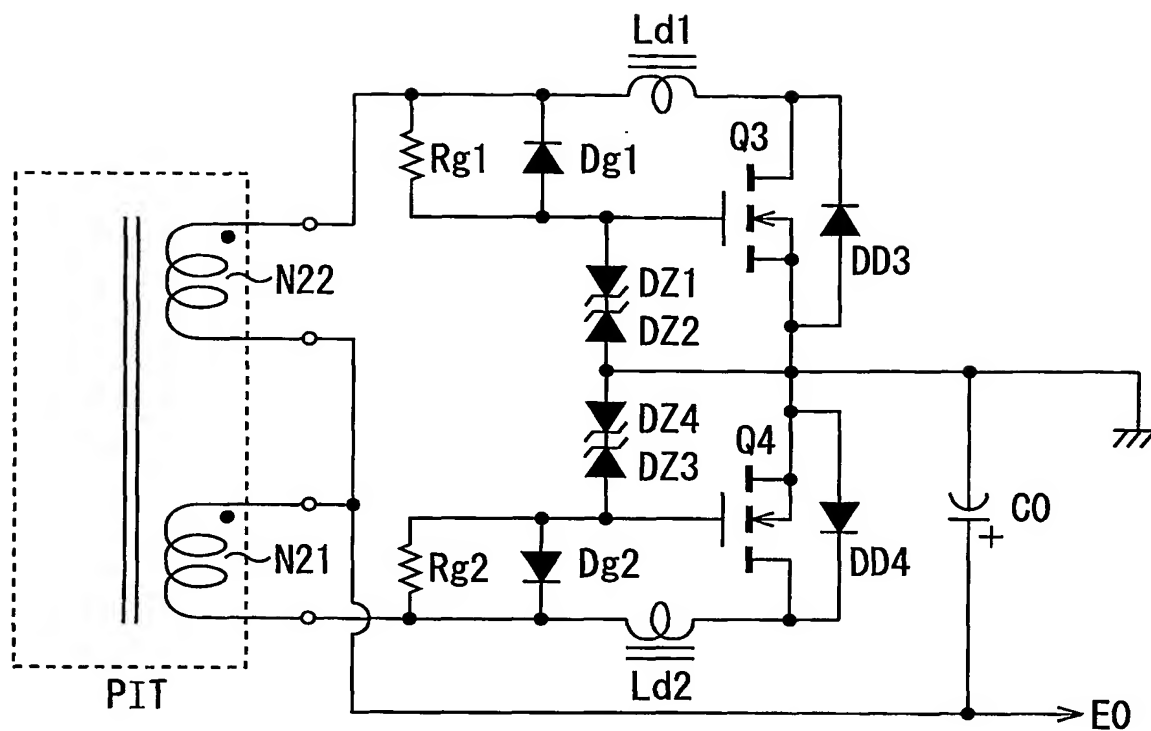
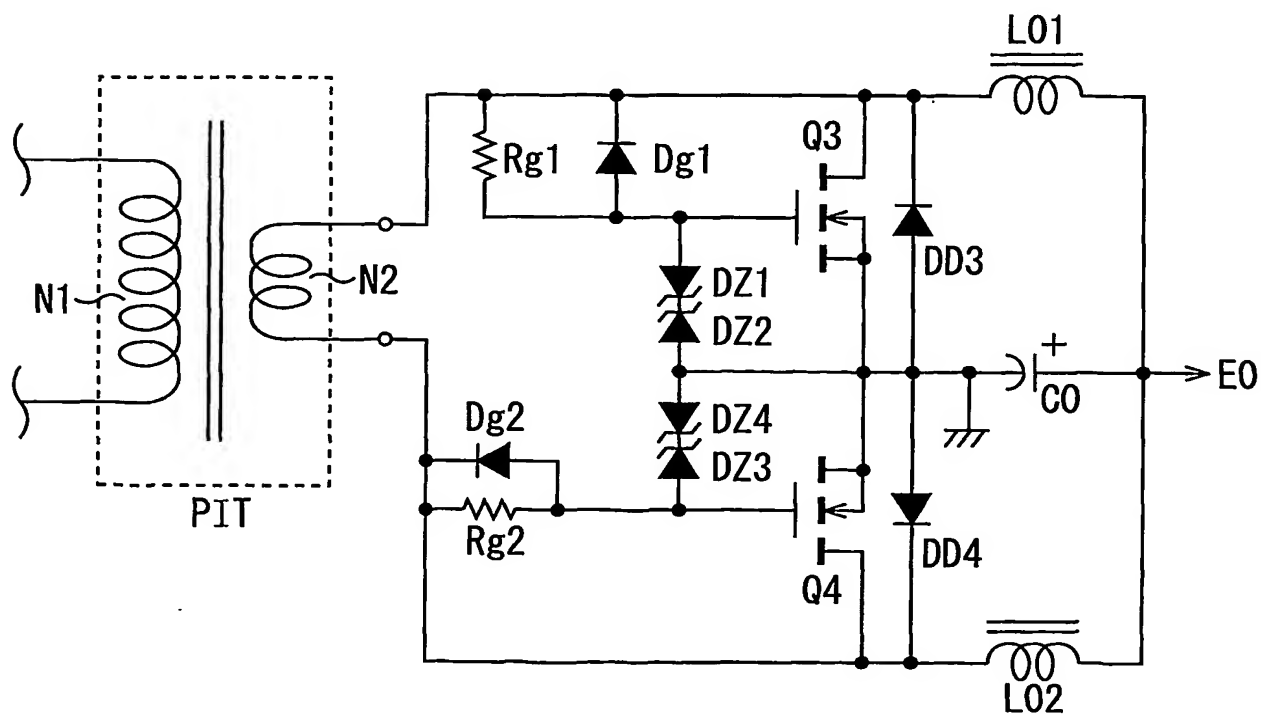


図16



14/22

図17

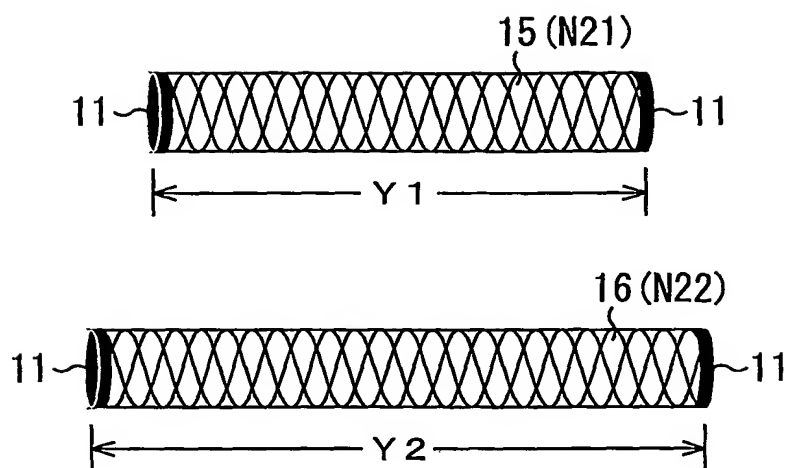
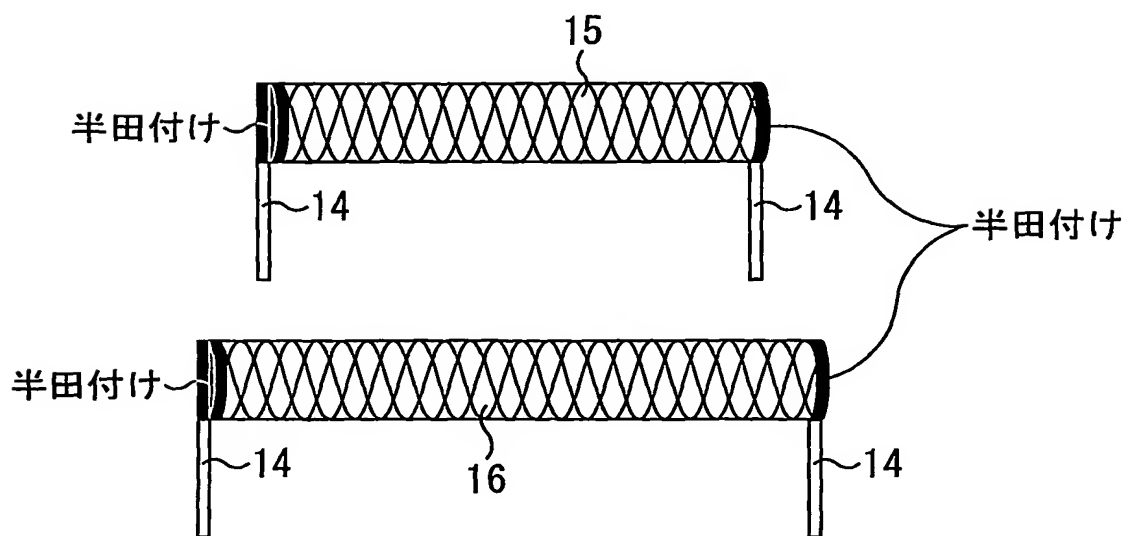


図18



15/22

図19

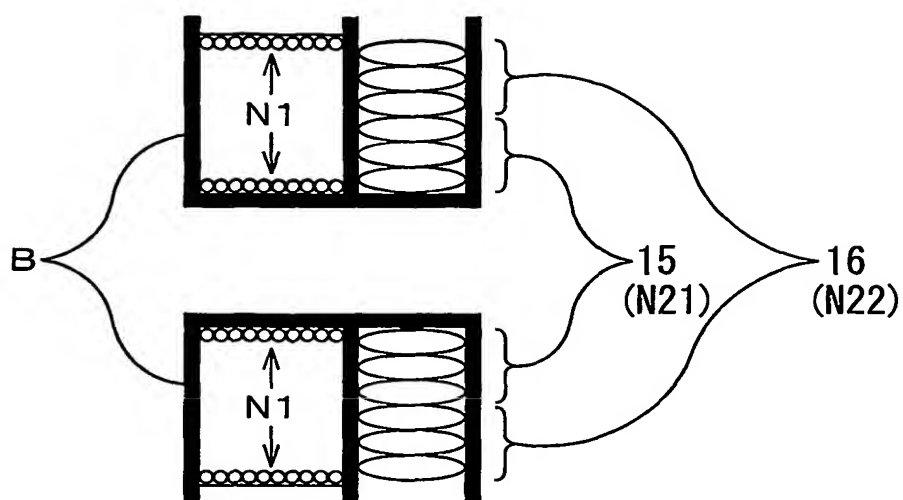


図20

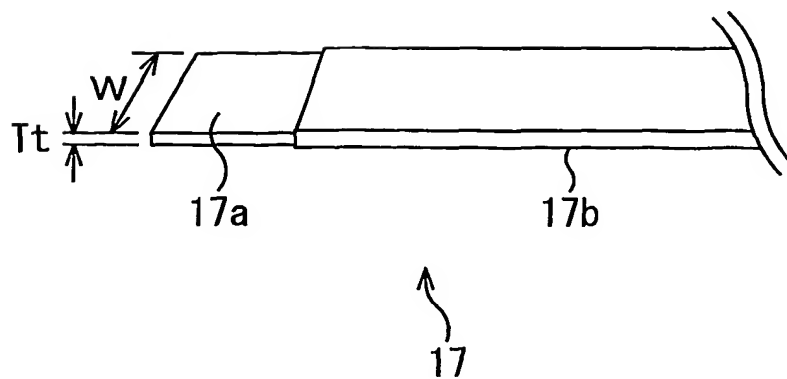
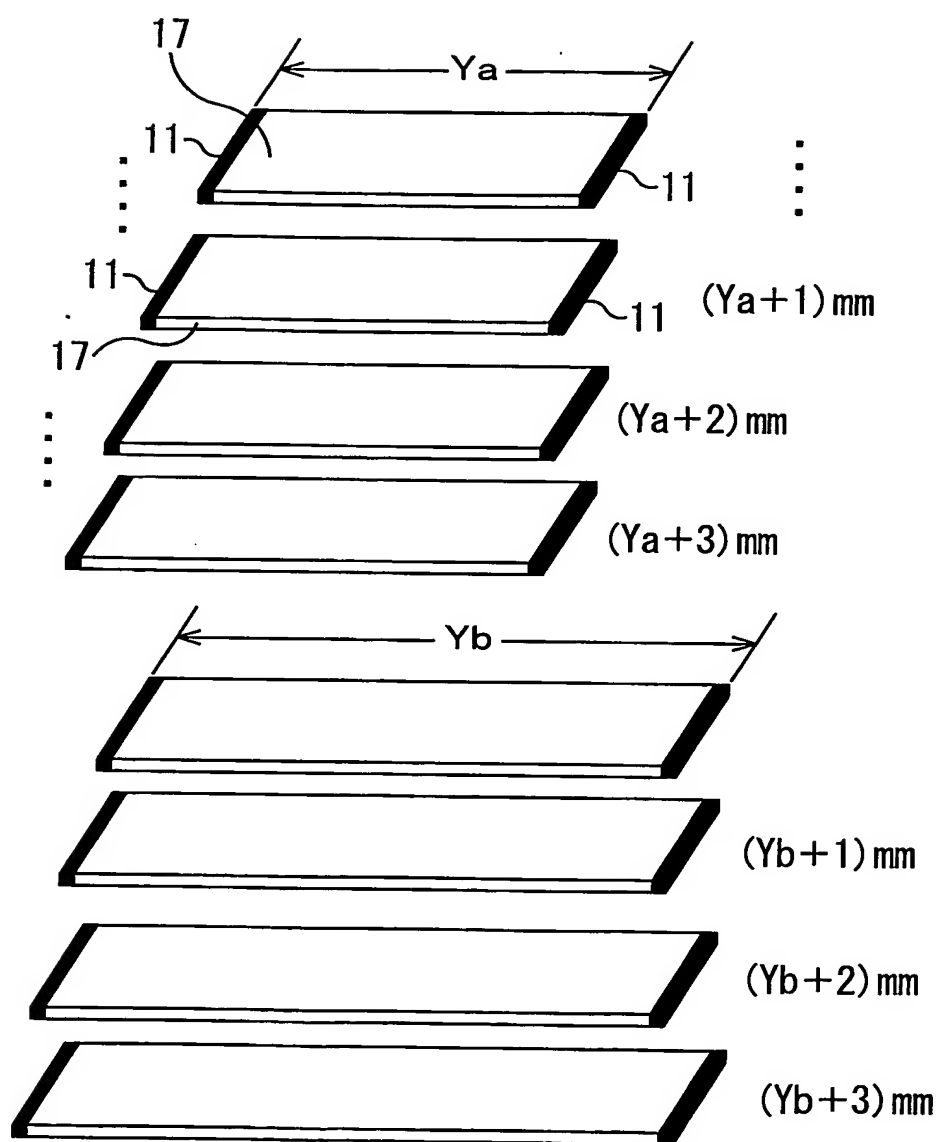


図21



17/22

図22

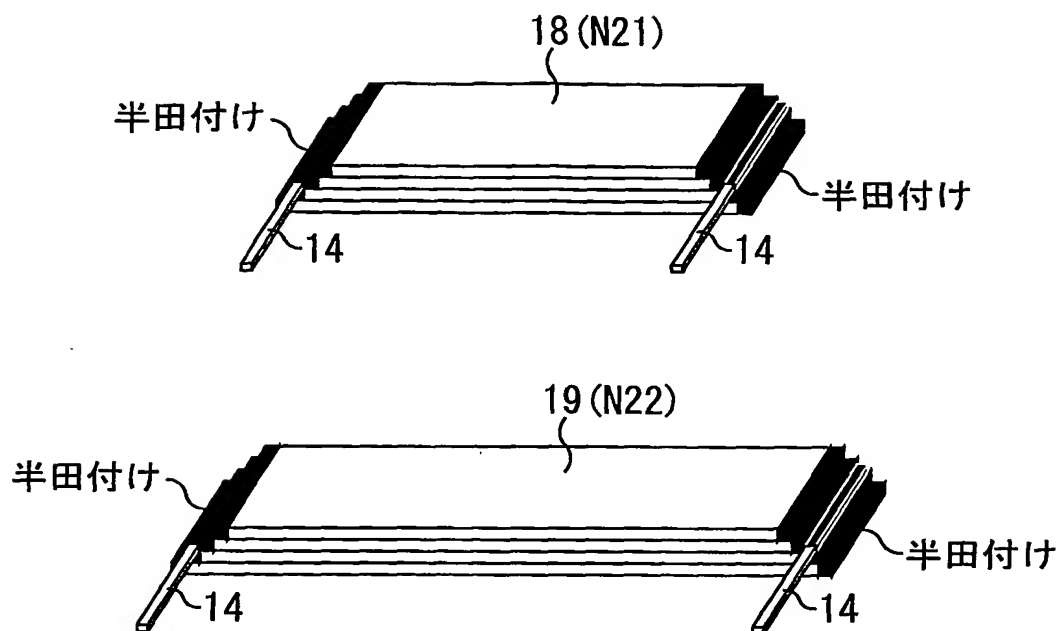
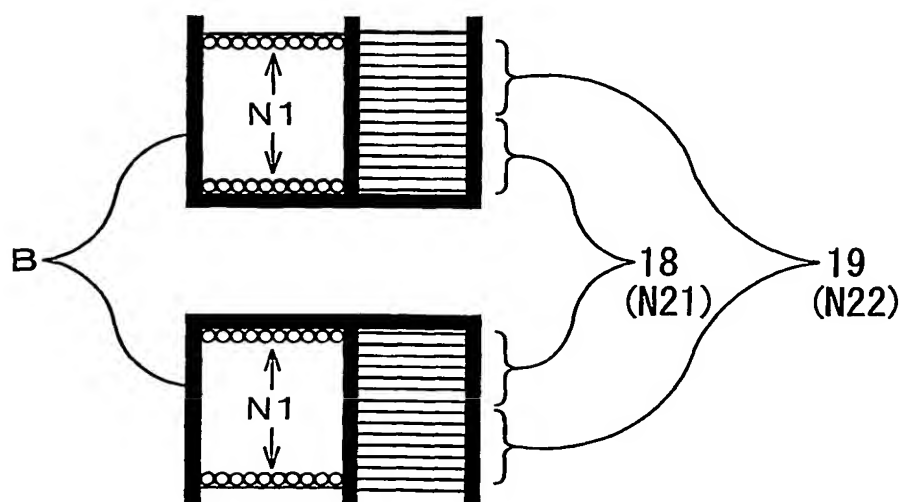


図23



18/22

図24

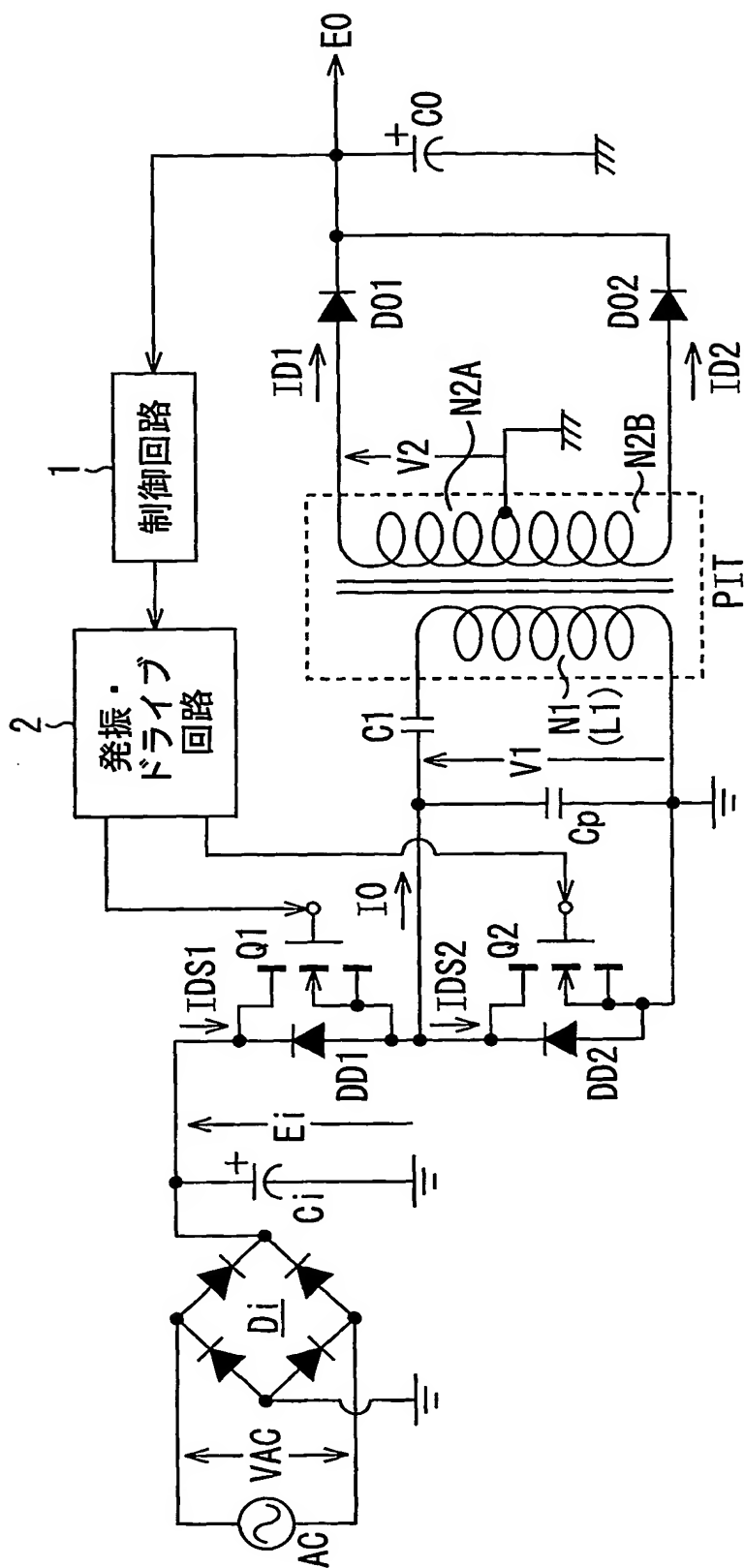
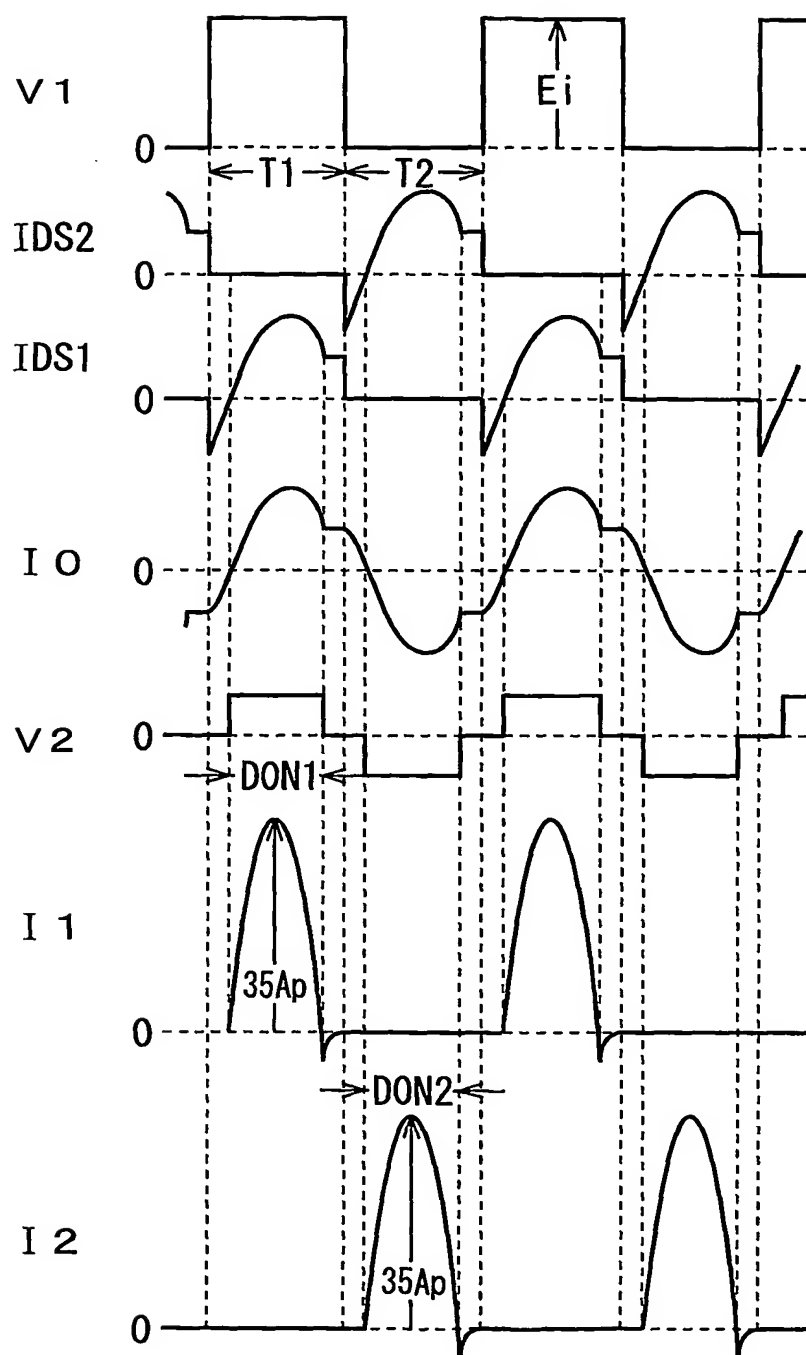
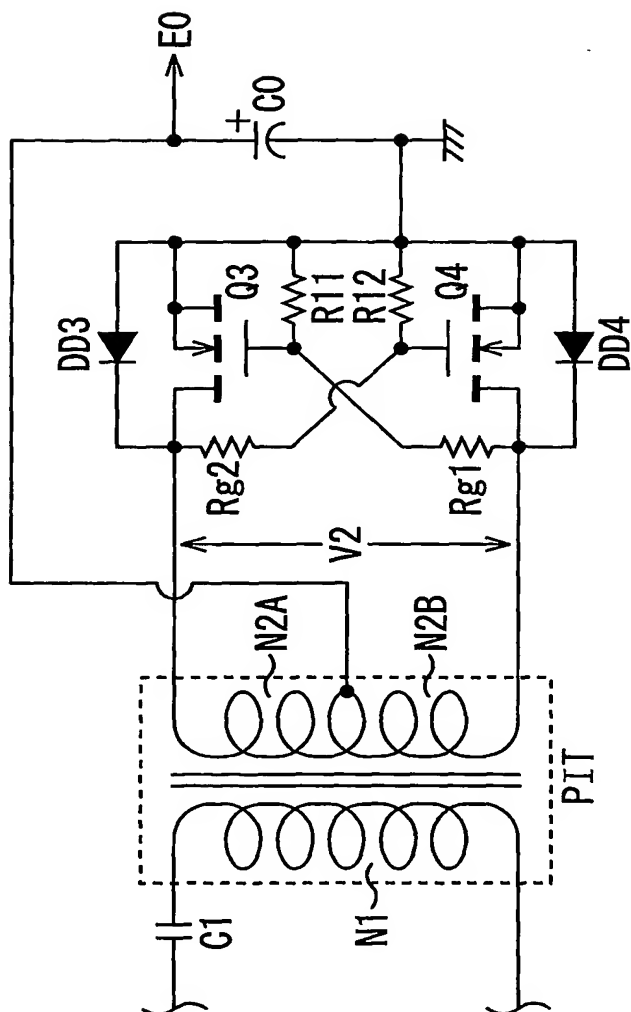


図25



20/22

図26



21/22

図27

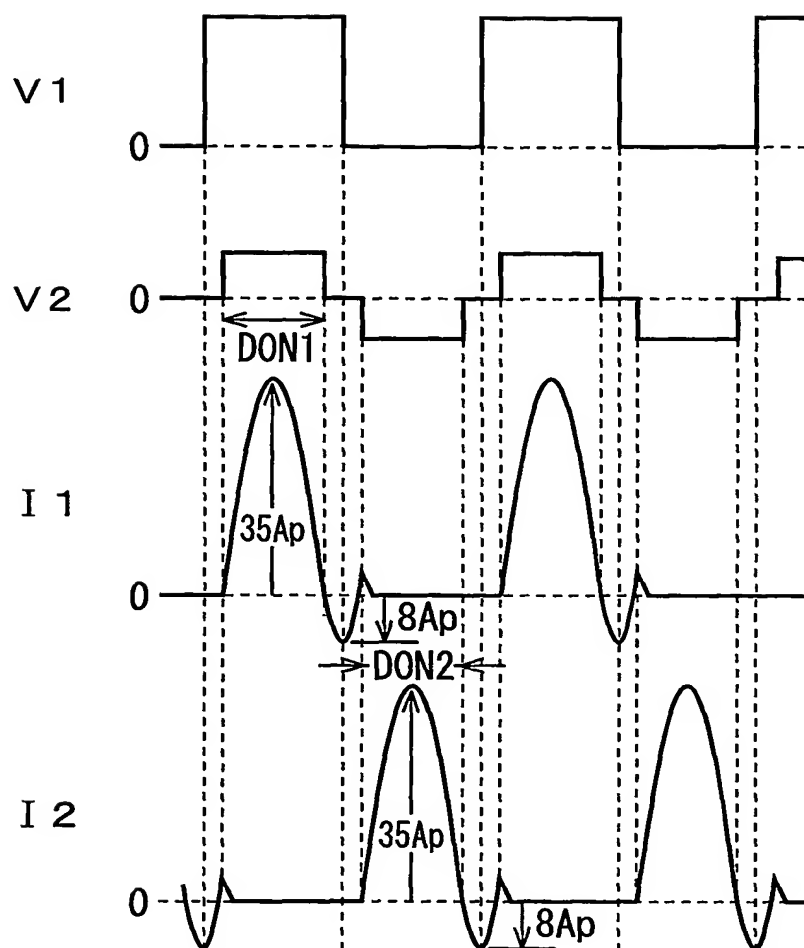
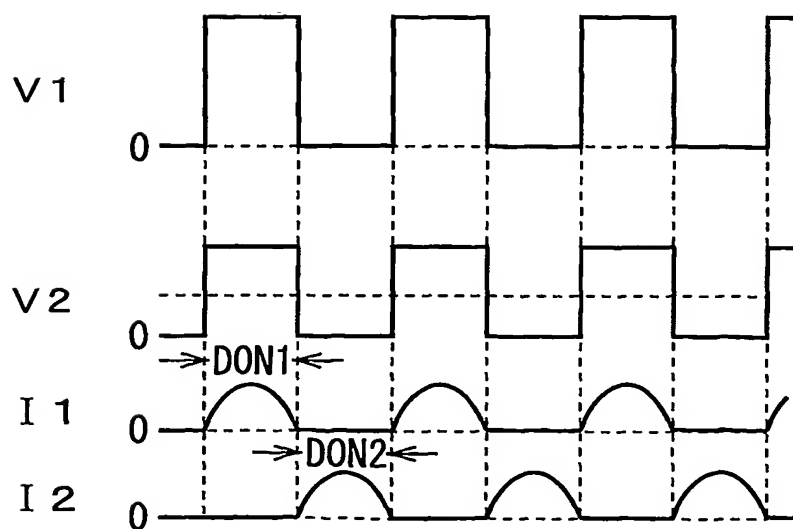


図28



22/22

図29

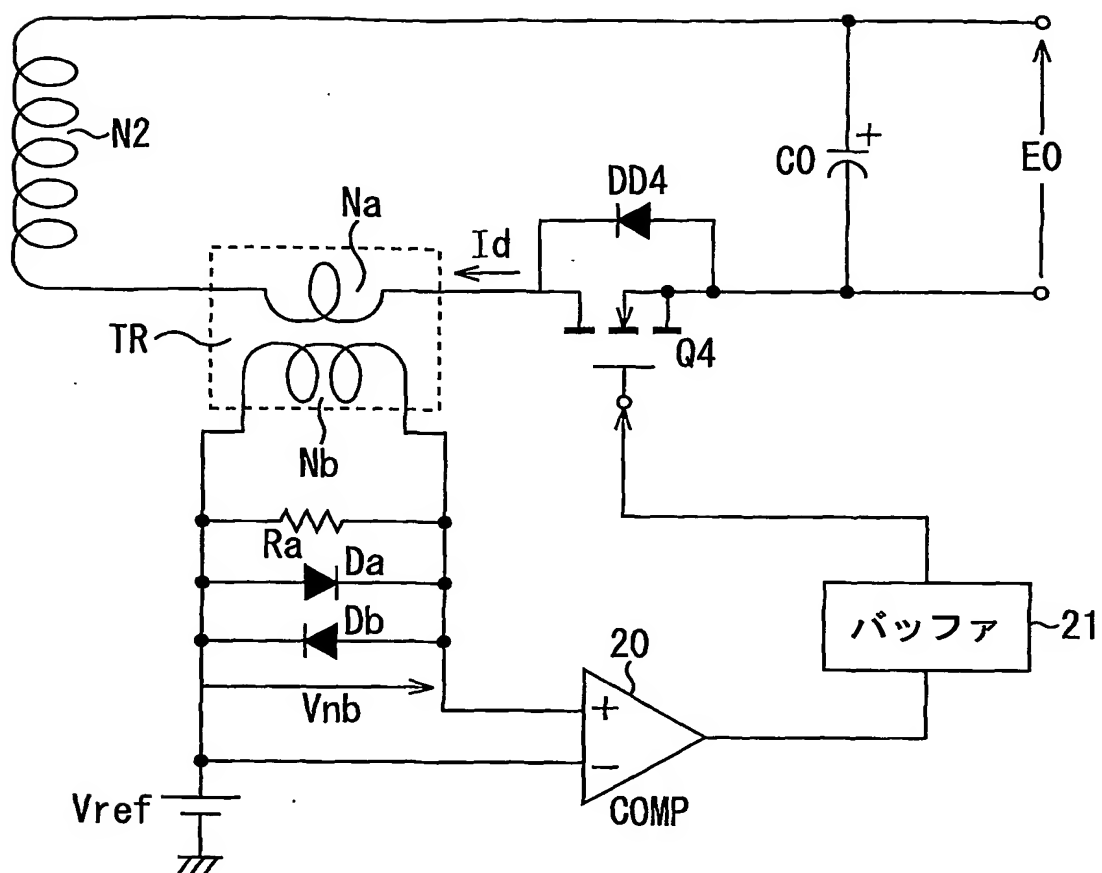
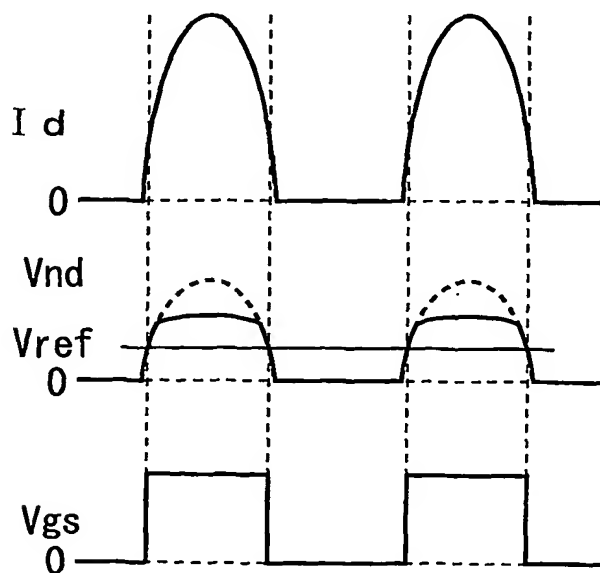


図30



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011561

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-262568 A (Sony Corp.), 13 September, 2002 (13.09.02), Par. Nos. [0031] to [0032], [0051] to [0053]; Fig. 5 (Family: none)	1-8
A	JP 2002-218748 A (Densei-Lambda Kabushiki Kaisha), 02 August, 2002 (02.08.02), Par. Nos. [0005] to [0006]; Fig. 7 (Family: none)	1-8
A	JP 2002-95248 A (Sharp Corp.), 29 March, 2002 (29.03.02), Par. Nos. [0015] to [0025]; Fig. 1 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November, 2004 (09.11.04)Date of mailing of the international search report
22 November, 2004 (22.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-262568 A (ソニー株式会社) 13.09.2002, 段落【0031】-【0032】, 【0051】-【0053】, 第5図 (ファミリーなし)	1-8
A	JP 2002-218748 A (デンセイ・ラムダ株式会社) 02.08.2002, 段落【0005】-【0006】, 第7図 (ファミリーなし)	1-8
A	JP 2002-95248 A (シャープ株式会社) 29.03.2002, 段落【0015】-【0025】, 第1図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09.11.2004

国際調査報告の発送日

22.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

3328

電話番号 03-3581-1101 内線 3356